

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 4 年   1 月 1 4 日  
Date of Application:

出 願 番 号            特 願 2 0 0 4 - 0 0 6 7 8 7  
Application Number:

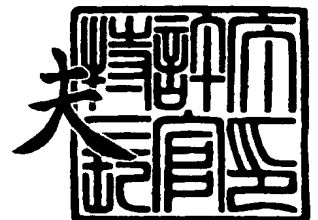
[ST. 10/C] :            [ J P 2 0 0 4 - 0 0 6 7 8 7 ]

出      願      人            株 式 会 社 東 芝  
Applicant(s):

2 0 0 4 年   2 月   3 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 A000300945  
【提出日】 平成16年 1月14日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 21/00  
【発明者】  
    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ  
                                レクトロニクスセンター内  
    【氏名】 横井 哲哉  
【特許出願人】  
    【識別番号】 000003078  
    【氏名又は名称】 株式会社 東芝  
【代理人】  
    【識別番号】 100058479  
    【弁理士】  
    【氏名又は名称】 鈴江 武彦  
    【電話番号】 03-3502-3181  
【選任した代理人】  
    【識別番号】 100091351  
    【弁理士】  
    【氏名又は名称】 河野 哲  
【選任した代理人】  
    【識別番号】 100088683  
    【弁理士】  
    【氏名又は名称】 中村 誠  
【選任した代理人】  
    【識別番号】 100108855  
    【弁理士】  
    【氏名又は名称】 蔵田 昌俊  
【選任した代理人】  
    【識別番号】 100084618  
    【弁理士】  
    【氏名又は名称】 村松 貞男  
【選任した代理人】  
    【識別番号】 100092196  
    【弁理士】  
    【氏名又は名称】 橋本 良郎  
【手数料の表示】  
    【予納台帳番号】 011567  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

少なくとも 1 個の半導体素子と、

この半導体素子の一方の主面に対向して配置されており、前記半導体素子に対向する側の主面に第 1 の内部配線が複数本設けられているとともに、他方の主面に前記各第 1 の内部配線と電氣的に接続された外部配線が複数本設けられている第 1 の基板と、

可撓性を有する材料により前記半導体素子の両主面よりも大きく形成されているとともに、前記半導体素子を前記第 1 の基板との間に挟んで配置されており、前記半導体素子に対向する側の主面に第 2 の内部配線が複数本設けられているとともに、これら各第 2 の内部配線の幾つかに前記半導体素子が有する少なくとも 1 個の電極が電氣的に接続されて前記半導体素子が搭載されており、また他方の主面の少なくとも中央部に前記各第 2 の内部配線のうちの幾つかに電氣的に接続された外部端子が複数個設けられており、かつ、前記各第 2 の内部配線は、それらの一端部が前記半導体素子に対向する側の主面の縁部まで延ばされているとともに、前記各一端部が設けられている前記縁部ごと前記第 1 の基板側に向けて曲げられて前記各第 1 の内部配線に電氣的に接続されている第 2 の基板と、

を具備することを特徴とする半導体装置。

**【請求項 2】**

前記各第 1 の内部配線と前記各外部配線とは、前記第 1 の基板をその厚さ方向に沿って貫通して設けられた複数個の第 1 のプラグを介して所定のパターンで電氣的に接続されているとともに、前記各第 2 の内部配線と前記各外部端子とは、前記第 2 の基板をその厚さ方向に沿って貫通して設けられた複数個の第 2 のプラグを介して所定のパターンで電氣的に接続されていることを特徴とする請求項 1 に記載の半導体装置。

**【請求項 3】**

少なくとも前記各外部端子の端面を除く前記第 2 の基板の表面、前記半導体素子、および前記第 1 の基板の前記半導体素子に対向する側の主面を覆って封止部材が設けられていることを特徴とする請求項 1 または 2 に記載の半導体装置。

**【請求項 4】**

少なくとも 1 個の半導体素子に対向して配置され、前記半導体素子に対向する側の主面に第 1 の内部配線が複数本設けられているとともに、他方の主面に前記各第 1 の内部配線と電氣的に接続された外部配線が複数本設けられている第 1 の基板と、可撓性を有する材料により前記半導体素子の両主面よりも大きく形成されているとともに、一方の主面に前記半導体素子が搭載されており、かつ、前記半導体素子が搭載されている側の主面にその縁部まで一端部が延ばされて第 2 の内部配線が複数本設けられているとともに、これら各第 2 の内部配線の幾つかに前記半導体素子が有する少なくとも 1 個の電極が電氣的に接続されており、また他方の主面の少なくとも中央部に前記各第 2 の内部配線のうちの幾つかに電氣的に接続された外部端子が複数個設けられている第 2 の基板とを、前記半導体素子を間に挟んで対向配置し、

前記各第 2 の内部配線を前記各一端部が設けられている前記縁部ごと前記第 1 の基板側に向けて曲げつつ前記各第 1 の内部配線に電氣的に接続するとともに、前記半導体素子、前記第 1 の基板、および前記第 2 の基板を一体化することを特徴とする半導体装置の製造方法。

**【請求項 5】**

前記半導体素子、前記第 1 の基板、および前記第 2 の基板を一体化した後、少なくとも前記各外部端子の端面を除く前記第 2 の基板の表面、前記半導体素子、および前記第 1 の基板の前記第 2 の基板に対向する側の露出面を覆って封止部材を設けることを特徴とする請求項 4 に記載の半導体装置の製造方法。

## 【書類名】明細書

【発明の名称】半導体装置およびその製造方法

## 【技術分野】

【0001】

本発明は、半導体装置の実装技術に係り、特に1個ないしは複数個の半導体素子が搭載された半導体装置の上にさらに他の半導体装置や受動部品等が付加される半導体装置において、半導体装置の性能や特性のバリエーションを増やすことができる半導体装置およびその製造方法に関する。

## 【背景技術】

【0002】

ある半導体装置の上に他の半導体装置を実装する技術として、今までに幾つかの装置（構造、構成）および製造方法が提案されている（例えば、特許文献1～4参照）。

【特許文献1】特開平11-186492号公報

【特許文献2】特開2000-68444号公報

【特許文献3】特開2001-332681号公報

【特許文献4】特開2002-151644号公報

## 【発明の開示】

【発明が解決しようとする課題】

【0003】

一般的な半導体装置は、その外形に対して略中央部に半導体素子が搭載されている。そして、半導体素子の周囲が樹脂で封止されている。このため、ある半導体装置の上に他の半導体装置を接続して搭載する場合、下側の半導体装置に上側の半導体装置を接続するための上部接続端子が下側の半導体素子と重なるのを避けるために、上部接続端子を下側の半導体素子の外側に配置する必要がある。すなわち、上部接続端子を、下側の半導体装置の上面の縁部に配置しなければならない。ひいては、下側の半導体装置の上部に搭載される上側の半導体装置も、その外形および下部接続端子の位置を上部接続端子の位置に合わせなければならない。

【0004】

また、一般的な半導体装置は、その下部接続端子が下面の全域に渡って設けられている。本来ならば、このような一般的な汎用性に富んだ半導体装置を上側の半導体装置として、下側の半導体装置の上部に実装できることが好ましい。ところが、前述したように、一般的な半導体装置は、その上部接続端子が上面の縁部に設けられている。このため、一般的な半導体装置同士をそのまま積層することは困難である。したがって、複数個の半導体装置を積層する場合、外形および外部接続用端子の配置が、下側の半導体装置の外形および外部接続用端子の配置に合わせられた半導体装置を、上側の半導体装置として特別に用意する必要が生じる。また、下側となる半導体装置も、これに搭載される半導体素子の大きさや、この半導体素子を封止する樹脂の量などが製品により異なっている。このため、下側の半導体装置の種類に応じて、上部に実装される半導体装置の種類も増やさなくてはならない。

【0005】

このように、一般的に市場に流通している汎用の半導体装置同士をそのまま組み合わせて積層しようとすると、組み合わせの制限を招くこととなる。また、半導体装置同士の組み合わせの制限を取り払うために、例えば上側の半導体装置として特別な半導体装置を製造すると、製造コストの上昇や生産効率の低下を招くこととなる。

【0006】

本発明は、以上説明したような課題を解決するためになされたものであり、その目的とするところは、上部に実装される他の半導体装置や他の電気部品との接続性を向上させることにより、多種多様な半導体装置を効率良く、かつ、低コストで容易に製造できる半導体装置およびその製造方法を提供することにある。

【課題を解決するための手段】

## 【0007】

前記課題を解決するために、本発明の一態様に係る半導体装置は、少なくとも1個の半導体素子と、この半導体素子の一方の主面に対向して配置されており、前記半導体素子に対向する側の主面に第1の内部配線が複数本設けられているとともに、他方の主面に前記各第1の内部配線と電気的に接続された外部配線が複数本設けられている第1の基板と、可撓性を有する材料により前記半導体素子の両主面よりも大きく形成されているとともに、前記半導体素子を前記第1の基板との間に挟んで配置されており、前記半導体素子に対向する側の主面に第2の内部配線が複数本設けられているとともに、これら各第2の内部配線の幾つかに前記半導体素子が有する少なくとも1個の電極が電気的に接続されて前記半導体素子が搭載されており、また他方の主面の少なくとも中央部に前記各第2の内部配線のうちの幾つかに電気的に接続された外部端子が複数個設けられており、かつ、前記各第2の内部配線は、それらの一端部が前記半導体素子に対向する側の主面の縁部まで延ばされているとともに、前記各一端部が設けられている前記縁部ごと前記第1の基板側に向けて曲げられて前記各第1の内部配線に電気的に接続されている第2の基板と、を具備するものである。

## 【0008】

また、前記課題を解決するために、本発明の他の態様に係る半導体装置の製造方法は、少なくとも1個の半導体素子に対向して配置され、前記半導体素子に対向する側の主面に第1の内部配線が複数本設けられているとともに、他方の主面に前記各第1の内部配線と電気的に接続された外部配線が複数本設けられている第1の基板と、可撓性を有する材料により前記半導体素子の両主面よりも大きく形成されているとともに、一方の主面に前記半導体素子が搭載されており、かつ、前記半導体素子が搭載されている側の主面にその縁部まで一端部が延ばされて第2の内部配線が複数本設けられているとともに、これら各第2の内部配線の幾つかに前記半導体素子が有する少なくとも1個の電極が電気的に接続されており、また他方の主面の少なくとも中央部に前記各第2の内部配線のうちの幾つかに電気的に接続された外部端子が複数個設けられている第2の基板とを、前記半導体素子を間に挟んで対向配置し、前記各第2の内部配線を前記各一端部が設けられている前記縁部ごと前記第1の基板側に向けて曲げつつ前記各第1の内部配線に電気的に接続するとともに、前記半導体素子、前記第1の基板、および前記第2の基板を一体化するものである。

## 【発明の効果】

## 【0009】

本発明に係る半導体装置およびその製造方法によれば、上部に実装される他の半導体装置や他の電気部品との接続性が向上されているので、多種多様な半導体装置を効率良く、かつ、低コストで容易に製造できる。

## 【発明を実施するための最良の形態】

## 【0010】

以下、本発明に係る各実施形態を図面を参照しつつ説明する。

## 【0011】

先ず、本発明に係る各実施形態を説明するのに先立って、図24～図30を参照しつつ、前述した背景技術の課題を比較例を挙げて具体的に説明する。図24は、後述する第1実施形態に対する比較例としての背景技術に係る半導体装置を示す断面図である。図25は、図24に示す半導体装置をその半導体素子が搭載されている側の主面から臨んで示す平面図である。図26は、図24に示す半導体装置の上に他の半導体装置を搭載した状態を示す断面図である。図27は、一般的なメモリ用半導体装置を示す断面図である。図28は、図27に示すメモリ用半導体装置をその外部端子が形成されている側の主面から臨んで示す平面図である。図29は、図24に示す半導体装置に搭載可能な外部端子を有するメモリ用半導体装置を示す断面図である。図30は、図29に示すメモリ用半導体装置をその外部端子が形成されている側の主面から臨んで示す平面図である。

## 【0012】

背景技術において説明したように、ある半導体装置の上面に他の半導体装置を実装する

技術として、幾つかの半導体装置の構造が提案されている。例えば、図24に示す半導体装置を、その上部に他の半導体装置を実装することができる構造を有する第1の半導体装置101とする。図25は、図24に示す第1の半導体装置101をその上方から臨んで示す平面図である。なお、図24は、図25中破断線F-F'に沿って示す断面図である。そして、図26は、図24に示す第1の半導体装置101の上に、他の半導体装置としての第2の半導体装置102を実装した状態を示す断面図である。

#### 【0013】

図24に示すように、第1の半導体装置101では、その回路基板103の下面および上面に所定のパターンからなる配線104が複数本形成されている。なお、この上面および下面の各配線104は、回路基板103をその厚さ方向に沿って貫通して設けられている内部配線105により相互に接続されている。また、第1の半導体装置101では、半導体素子106は、その素子面106aを下向きに接続するフリップチップ接続により、回路基板103の上面に形成されている配線104に接続されている。そして、半導体素子106は、その保護のために設けられた封止樹脂107により封止されている。さらに、図24および図25に示すように、第1の半導体装置101には、その上部に第2の半導体装置102を接続できるように、各配線104により複数個の上部接続端子108が形成されている。

#### 【0014】

図26に示すように、第2の半導体装置102は、その下面に形成されている下部接続端子としてのはんだボール109により、第1の半導体装置101の上面に形成されている上部接続端子108に接続されて搭載される。第2の半導体装置102は、第1の半導体装置101と同様に組み立てられる。第1の半導体装置101と第2の半導体装置102との接続は、例えば次に述べるように行われる。まず、第1の半導体装置101の上部接続端子（上部接続電極）108に、はんだ付け用のフラックス等を予め塗布しておく。次に、フラックス等が塗布された上部接続端子108の上に、第2の半導体装置102のはんだボール109を位置合わせして乗せる。続けて、その状態のまま、第1の半導体装置101および第2の半導体装置102をリフロー炉等に流して全体加熱する。これにより、第1の半導体装置101の上部接続端子108と第2の半導体装置102のはんだボール109とののはんだ接続を達成できる。すなわち、第1の半導体装置（下側半導体装置）101の上に第2の半導体装置（上側半導体装置）102を搭載できる。

#### 【0015】

背景技術において説明したように、第1および第2の半導体装置も、それらの外形に対して略中央部に半導体素子106が搭載されている。そして、それぞれの半導体素子106の周囲が封止樹脂107で封止されている。このため、第1の半導体装置101の上に第2の半導体装置102を接続して搭載するための上部接続端子108は、半導体素子106および封止樹脂107の外側に配置しなくてはならない。また、第1の半導体装置101の上部に搭載される第2の半導体装置102も、その外形およびはんだボール（下部接続端子）109の位置を、上部接続端子108の位置に合わせなければならない。

#### 【0016】

図27は、BGA（Ball Grid Array）構造を有する、第1の半導体装置としての一般的な半導体メモリ（第1の半導体メモリ）110を簡略して示す断面図である。図28は、図27に示す第1の半導体メモリ110を、そのはんだボール109が設けられている側から臨んで示す平面図である。なお、図27は、図28中破断線G-G'に沿って示す断面図である。図29は、同じくBGA構造を有する、第2の半導体装置としての一般的な半導体メモリ（第2の半導体メモリ）111を簡略して示す断面図である。図30は、図29に示す第2の半導体メモリ111を、そのはんだボール109が設けられている側から臨んで示す平面図である。なお、図29は、図30中破断線H-H'に沿って示す断面図である。

#### 【0017】

図27に示すように、半導体素子106は、その素子面106aを上向きに接続するワ

イヤボンディング接続により、第1の半導体メモリ110に搭載されている。第1の半導体メモリ110は、その素子面に形成されているスタッドバンプ112およびボンディングワイヤ113を介して、回路基板103の上面に形成されている配線104に電気的に接続されている。これは、図29に示すように、第2の半導体メモリ111に搭載されている半導体素子106についても同様である。

#### 【0018】

第2の半導体メモリ111は、第1の半導体メモリ110の上に実装できるように、その外形および外部接続用のはんだボール109の配置が変更されている。本来であれば、外部接続用のはんだボール109が図28に示すように配置されている半導体装置を第1の半導体メモリ110の上に実装することが好ましい。ところが、第1の半導体メモリ110の上部接続端子108は、図25に示すように配置されている。このため、図29および図30に示す外形およびはんだボール109の配置を有する第2の半導体メモリ111を、特別に用意する必要がある。

#### 【0019】

また、第1の半導体メモリ110も、これに搭載される半導体素子106の大きさや、この半導体素子106を封止する樹脂107の量などが製品により異なっている。このため、第1の半導体メモリ110の種類に応じて、その上部に実装される第2の半導体メモリ111の種類も増やさなくてはならない。このように、一般的に市場に流通している汎用の半導体装置同士をそのまま組み合わせて積層しようとする、組み合わせの制限を招くこととなる。また、半導体装置同士の組み合わせの制限を取り払うために、例えば上側の半導体装置として特別な半導体装置を製造すると、製造コストの上昇や生産効率の低下を招くこととなる。

#### 【0020】

以下に説明する本発明に係る第1実施形態は、以上説明したような課題を解決するためになされたものである。そして、その目的とするところは、上部に実装される他の半導体装置や他の電気部品との接続性を向上させることにより、多種多様な半導体装置を効率良く、かつ、低コストで容易に製造できる半導体装置およびその製造方法を提供することにある。

#### 【0021】

(第1の実施の形態)

先ず、本発明に係る第1実施形態を図1～図18を参照しつつ説明する。図1は、本実施形態に係る半導体装置をその第2の基板側から臨んで示す平面図である。図2は、図1に示す半導体装置を破断線A-A'に沿って示す断面図である。図3は、図1に示す半導体装置が備える第2の基板をその半導体素子が搭載される側の主面から臨んで示す平面図である。図4は、図1に示す半導体装置が備える第2の基板をその外部端子が形成されている側の主面から臨んで示す平面図である。図5は、図3に示す第2の基板を破断線B-B'に沿って示す断面図である。図6は、半導体素子が搭載された第2の基板をその半導体素子が搭載された側の主面から臨んで示す平面図である。図7は、図6に示す半導体素子および第2の基板を破断線C-C'に沿って示す断面図である。図8は、図6に示す半導体素子および第2の基板に接着剤を設けた状態を示す断面図である。図9は、図1に示す半導体装置が備える第1の基板を示す断面図である。図10は、半導体素子が搭載された第2の基板が取り付けられた第1の基板をその半導体素子および第2の基板が取り付けられた側の主面から臨んで示す平面図である。図11は、図10に示す第1の基板、第2の基板、および半導体素子を破断線D-D'に沿って示す断面図である。図12は、半導体素子が搭載された第2の基板を第1の基板に取り付ける工程を示す断面図である。図13は、第1の基板に設けられている第1の内部配線と第2の基板に設けられている第2の内部配線との接続部分を示す断面図である。図14は、複数の第1の基板、第2の基板、および半導体素子を一括して封止する工程を示す断面図である。図15は、図14に示す封止工程に用いる上金型のキャビティ形状と第1の基板上の封止部材を設ける高さとの関係を示す断面図である。図16は、一括して封止された複数の第1の基板、第2の基板、

および半導体素子を 1 個の半導体装置ごと一括して切り分ける工程を示す断面図である。図 17 は、図 1 に示す半導体装置の上に他の半導体装置を接続して搭載した状態をその上方から臨んで示す平面図である。図 18 は、図 17 に示す 2 個の半導体装置を破断線 E-E' に沿って簡略して示す断面図である。

#### 【0022】

本実施形態に係る半導体装置は、1 個ないしは複数個の半導体素子が搭載された半導体装置を前提とし、その上面に他の半導体装置、または受動部品等を付加することを必要とする半導体装置に使用されるものである。特に、半導体装置の性能や特性に多くのバリエーションが必要な製品に使用されるものである。具体的には、半導体装置のベースとなる回路基板と、両面に回路形成されたフィルム状のフレキシブル基板に半導体素子をフリップチップ接続してなるフィルム型半導体装置とを有している。このフィルム型半導体装置は、半導体素子を搭載する面の反対側の回路パターンが、半導体装置の上面に向くように回路基板に接着されている。また、このフィルム型半導体装置の外周部に配置された電極端子は、ベースの回路基板の電極端子に電氣的に接続されている。さらに、フレキシブル基板上面の回路パターンが、露出されて樹脂封止されている。以下、詳しく説明する。

#### 【0023】

図 1 および図 2 に示すように、本実施形態に係る半導体装置（第 1 の半導体装置）1 は、少なくとも 1 個の半導体素子（半導体チップ）2、1 枚の第 1 の基板 3、および 1 枚の第 2 の基板 4 を具備している。

#### 【0024】

第 1 の基板としての回路基板 3 は、半導体素子（第 1 の半導体素子）2 の一方の主面に対向して配置されている。そして、回路基板 3 の半導体素子 2 に対向する側の主面には、第 1 の内部配線 5 が複数本設けられている。それとともに、回路基板 3 の他方の主面には、各第 1 の内部配線 5 と電氣的に接続された外部配線 6 が複数本設けられている。各第 1 の内部配線 5 と各外部配線 6 とは、回路基板 3 をその厚さ方向に沿って貫通して設けられた複数個の第 1 のプラグ 7 を介して所定のパターンで電氣的に接続されている。また、各外部配線 6 には、さらに外部接続端子（下部接続端子）としての、はんだボール 13 が設けられている。

#### 【0025】

第 2 の基板 4 は、可撓性（柔軟性、フレキシビリティ）を有する材料により半導体素子 2 の両主面よりも大きく形成されている。第 2 の基板 4 には、例えばガラスエポキシ基板、ポリイミド基板、BT レジン基板、あるいは PCB 基板などが用いられる。したがって、第 2 の基板 4 は、フレキシブル基板とも称される。第 2 の基板（フレキシブル基板）4 は、半導体素子 2 を第 1 の基板（回路基板）3 との間に挟んで配置されている。フレキシブル基板 4 の半導体素子 2 に対向する側の主面には、第 2 の内部配線 8 が複数本設けられている。これら各第 2 の内部配線 8 の幾つかに、半導体素子 2 が有する少なくとも 1 個の電極 9 が電氣的に接続されて、半導体素子 2 がフレキシブル基板 4 に搭載されている。また、フレキシブル基板 4 の他方の主面の少なくとも中央部には、各第 2 の内部配線 8 のうちの幾つかに電氣的に接続された外部端子 10 が複数個設けられている。図 3 に示すように、各第 2 の内部配線 8 は、それらの一端部がフレキシブル基板 4 の半導体素子 2 に対向する側の主面の縁部 4c まで延ばされている。それとともに、各第 2 の内部配線 8 は、それらの一端部が設けられているフレキシブル基板 4 の縁部 4c ごと回路基板（第 1 の基板）3 側に向けて曲げられて、各第 1 の内部配線 5 に電氣的に接続されている。また、各第 2 の内部配線 8 と各外部端子 10 とは、フレキシブル基板 4 をその厚さ方向に沿って貫通して設けられた複数個の第 2 のプラグ 11 を介して所定のパターンで電氣的に接続されている。

#### 【0026】

また、第 1 の半導体装置 1 においては、少なくとも各外部端子 10 の端面を除くフレキシブル基板 4 の表面、半導体素子 2、および回路基板 3 の半導体素子 2 に対向する側の主面を覆って、封止部材（封止樹脂）12 が設けられている。



## 【0027】

図2に示すように、フレキシブル基板4には、第1の半導体装置1の半導体素子2がフリップチップ接続される。図3に示すように、フレキシブル基板4の半導体素子2が接続される側の主面であるチップ接続面4aには、複数本の第2の内部配線8が、銅配線等によりパターンニング形成されている。各第2の内部配線8の一端部は、チップ接続面4aの縁部4cまで延ばされている。それら各一端部は、各第2の内部配線8を第1の半導体装置1のベースとなる回路基板3の各第1の内部配線5に接続するための内部接続端子8aとなる。それとともに、フレキシブル基板4のチップ接続面4aには、各第2の内部配線8を半導体素子2に接続するためのチップ接続端子8bが、半導体素子2の接続端子（電極）9の位置に合わせて配置されている。

## 【0028】

また、図4に示すように、フレキシブル基板4のチップ接続面4aとは反対側の主面である外部接続面4bには、第1の半導体装置1の上に後述する第2の半導体装置25を実装するための外部端子（上部接続端子）10が複数個設けられている。これら各上部接続端子10は、各第2の内部配線8のうちの幾つかと電気的に接続されるように、銅配線等によりパターンニング形成されている。具体的には、各上部接続端子10は、外部接続面4bに形成されている複数本の外部端子接続配線14および後述する各スループラグ11を介して、各第2の内部配線8のうちの幾つかに電気的に接続されている。なお、前述した図1、ならびに後述する図10および図23においては、図面を見易くするために各外部端子接続配線14および各スループラグ11の図示を省略している。

## 【0029】

図5に示すように、フレキシブル基板4の両主面4a, 4bには、前述した複数の上部接続端子10または第2の内部配線8が銅配線等により所定のパターンでパターンニング形成されている。これら各上部接続端子10および各第2の内部配線8の幾つかは、各外部端子接続配線14、およびフレキシブル基板4をその厚さ方向に沿って貫通するスルーホール（インターナル・ヴィア・ホール：IVH）内に形成された第2のプラグとしてのスループラグ（ヴィアプラグ）11により結線されている。各上部接続端子10と各第2の内部配線8との結線により、例えば次に述べる2つの配線が可能となる。一つは、第1の半導体装置1の上部に搭載される第2の半導体装置25（第2の半導体素子26）を、第1の半導体装置1のベースとなる回路基板3を経由させて、図示しないシステムの回路基板と電気的に接続する配線である。これにより、第2の半導体装置25から出される信号を、外部のシステムに送ることができる。もう一つは、第1の半導体装置1の上部に搭載された第2の半導体装置を、第1の半導体装置1の半導体素子2と直接、電気的に接続する配線である。特に、第1の半導体装置1の機能を補助する目的で第2の半導体装置25が搭載される構成の場合、フレキシブル基板4は、第1の半導体装置1と第2の半導体装置25とを直接接続する配線が多数設けられた構造となる。

## 【0030】

以下、本実施形態に係る第1の半導体装置1およびその製造方法を、製造工程の順番に沿ってまとめて説明する。

## 【0031】

図6および図7に示すように、第1の半導体装置1が有する第1の半導体素子2は、フレキシブル基板4に電気的に接続されて搭載される。より詳しくは、第1の半導体素子2は、その素子が形成されている側の主面である素子面2aをフレキシブル基板4のチップ接続面4aに対向させられた姿勢でチップ接続面4aにフリップチップ接続される。この接続に先立って、第1の半導体素子2の電極9は、図2および図7に示すように、素子面2a上に突起形状に形成される。具体的には、電極9は、図示しない一般的なAuボンディングワイヤを形成する道具および方法を用いて、凸形状のAuスタッドバンプ9として形成される。その他、電極9は、Auを用いるめっき処理が施された凸形状のめっき電極として形成してもよい。あるいは、電極9は、はんだによるコーティング処理が施された凸形状のはんだ電極として形成してもよい。そして、フレキシブル基板4の各第2の内部

配線 8 および第 1 の半導体素子 2 の各電極 9 に加熱、圧着、あるいは加熱リフロー等を施すことにより、各第 2 の内部配線 8 と各電極 9 とを電氣的に接続する。または、後述するように、フレキシブル基板 4 と第 1 の半導体素子 2 と間に熱硬化性樹脂 15 や異方性導電シート 21 等を介在させることにより、各第 2 の内部配線 8 と各電極 9 とを電氣的に接続する。

#### 【0032】

図 8 (a) および図 8 (b) に示すように、フレキシブル基板 4 に接続 (搭載) された第 1 の半導体素子 2 の周囲には、接着性の樹脂 (接着剤) 16 が設けられる。接着剤 16 を設ける方法は、大別して次の 2 つの場合がある。一つは、図 8 (a) に示すように、第 1 の半導体素子 2 が搭載されたフレキシブル基板 4 のチップ接続面 4a 側に、接着性の樹脂 16 を全面的に付着させる場合である。また、もう一つは、図 8 (b) に示すように、回路基板 3 の各第 1 の内部配線 5 に接続される、各第 2 の内部配線 8 の内部接続端子 (電極端子) 8a の近辺にのみ、接着性の樹脂 16 を付着させる場合である。図 8 (a) および図 8 (b) の両図とも、図 6 に示すフレキシブル基板 4 および第 1 の半導体素子 2 に接着材 16 を付着させた状態を示している。この際、接着性の樹脂 16 としては、加熱等により硬化して第 1 の半導体素子 2 をフレキシブル基板 4 に固定することが可能なシート状、あるいは液状の材料が用いられることが好ましい。

#### 【0033】

図 9 に示すように、回路基板 3 においては、その各主面上に設けられている各第 1 の内部配線 5 と各外部配線 6 とが、回路基板 3 を厚さ方向に沿って貫通して形成されている第 1 のプラグ (スループラグ、ヴィアプラグ) 7 を介して結線されている。これにより、フレキシブル基板 4 の各第 2 の内部配線 8 の内部接続端子 (電極端子) 8a から受けた電気信号を、第 1 の半導体装置 1 (回路基板 3) の下側 (下面) から外部に送ることができる。

#### 【0034】

図 10 および図 11 に示すように、第 1 の半導体素子 2 が搭載されたフレキシブル基板 4 は、回路基板 3 に実装される。フレキシブル基板 4 は、その各第 2 の内部配線 8 の内部接続端子 8a の位置が、回路基板 3 の各第 1 の内部配線 5 の内部接続端子 (電極) 5a の位置に一致するように位置を合わされて、回路基板 3 に対向配置される。この後、各第 2 の内部配線 8 の内部接続端子 8a が各第 1 の内部配線 5 の電極 5a に接触するまで、各第 2 の内部配線 8 を、その内部接続端子 8a が設けられているフレキシブル基板 4 の縁部 4c ごと回路基板 3 側に向けて曲げる。そして、各第 2 の内部配線 8 の内部接続端子 8a と各第 1 の内部配線 5 の電極 5a とが接触している状態で、それらの接触部分に所定の接続処理を施す。これにより、各第 2 の内部配線 8 の内部接続端子 8a と各第 1 の内部配線 5 の電極 5a とを、電氣的に接続する。なお、この接続処理を容易に行うことができるように、接続処理に先立って、各第 2 の内部配線 8 の内部接続端子 8a および各第 1 の内部配線 5 の電極 5a の表面にめっき処理や、はんだ材の印刷処理または塗布処理などを施しておくことが好ましい。

#### 【0035】

図 12 (a) および図 12 (b) に、第 1 の半導体素子 2 が搭載されたフレキシブル基板 4 を回路基板 3 へ実装 (接着、接続) する方法を示す。フレキシブル基板 4 および第 1 の半導体素子 2 を回路基板 3 へ実装する際には、図 12 (a) に示すマウンティング・ツール (実装治具) 17、あるいは図 12 (b) に示すマウンティング・ツール 18 を用いる。これらにより、回路基板 3 へのフレキシブル基板 4 の固定、および各第 2 の内部配線 8 の内部接続端子 8a と各第 1 の内部配線 5 の電極 5a との接続を併せて行う。図 12 (a) に示すマウンティング・ツール 17 は、加圧部 17a と接合部 17b とが別部品として構成されている。加圧部 17a は、第 1 の半導体素子 2 が搭載されたフレキシブル基板 4 を、ベースとなる回路基板 3 に加圧して接着させる。また、接合部 17b は、フレキシブル基板 4 の縁部 4c に形成されている各第 2 の内部配線 8 の内部接続端子 8a を、ベースとなる回路基板 3 の縁部に形成されている各第 1 の内部配線 5 の電極 5a に接続して電

氣的に接合させる。これに対して、図12(b)に示すマウンティング・ツール18は、加圧部と接合部とが一体品として構成されている。

#### 【0036】

どちらのマウンティング・ツール17, 18でも、ベースとなる回路基板3へのフレキシブル基板4の接着および電氣的な接続を一括して容易に行うことができる。これら各マウンティング・ツール17, 18を用いてフレキシブル基板4を回路基板3へ実装することにより、第1の半導体素子2は、第1の半導体装置1の下面(下部)に設けられている各外部配線6(下部接続端子、はんだボール13)に電氣的に接続される。それとともに、第1の半導体素子2は、第1の半導体装置1の上面(上部)に設けられている各上部接続端子10にも電氣的に接続される。

#### 【0037】

図13(a)および図13(b)に、フレキシブル基板4の縁部4cに形成されている各第2の内部配線8の内部接続端子8aと、回路基板3の縁部に形成されている各第1の内部配線5の電極5aとの接続部分を拡大して示す。図13(b)は、図13(a)中破線の円で囲まれている部分Xをさらに拡大して示す断面図である。図13(a)および図13(b)に示すように、本実施形態では、各第1の内部配線5の接続部分(接続端子)5aの表面、および各第2の内部配線8の接続部分(接続端子)8aの表面に、それぞれAuめっき部19, 20が設けられている。それとともに、各第1の内部配線5のAuめっき部19と各第2の内部配線8のAuめっき部20の間には、導電部材としての異方性導電シート21が挟まれて設けられている。各第1の内部配線5と各第2の内部配線8とは、それぞれのAuめっき部19, 20および異方性導電シート21を介して電氣的に接続されている。この異方性導電シート21は、回路基板3とフレキシブル基板との接着剤としても機能する。異方性導電シート21は、複数個の異方性導電粒子22を含んでいる。異方性導電粒子22としては、例えばNi粒子や表面にAuめっき部が設けられたプラスチック球などが用いられる。これまでの工程により、第1の半導体素子2、回路基板3、およびフレキシブル基板4は互いに電氣的に接続されるとともに、一体化される。

#### 【0038】

なお、前述した図2、図3、図5～図8、図10～図12、ならびに後述する図14～図16、図21、図22においては、図面を見易くするために、内部配線8の内部接続端子8a付近および各第1の内部配線5の電極5a付近の構造を簡略して図示している。

#### 【0039】

次に、図14に示すように、第1の半導体素子2、回路基板3、およびフレキシブル基板4が一体化された第1の半導体装置1を複数個まとめて、モールドイング法により一括して樹脂封止する。これまでの説明では、その内容を簡潔に、かつ、理解し易くするために、第1の半導体装置1を単独の半導体装置として簡略化して説明してきた。しかし、実際の製造工程では、図14に示すように、第1の半導体装置1は複数個まとめて製造される。本実施形態では、1個ないしは複数個の第1の半導体素子2が搭載されたフレキシブル基板4が接続された回路基板3を、その第1の半導体素子2に対向する側のみ封止樹脂12により封止する。すなわち、第1の半導体装置1は、いわゆる片面モールドイング法により形成される。

#### 【0040】

本実施形態では、図2に示すように、フレキシブル基板4の各上部接続端子10が設けられている領域の表面(外部接続面)4b、第1の半導体素子2、および回路基板3のフレキシブル基板4に対向する側の主面のうちフレキシブル基板4から外れた露出面3cを覆って封止樹脂12を設ける。この際、各上部接続端子10は、図2に示すように、少なくともそれらの端面10aが封止後も封止樹脂12から露出して封止される。各上部接続端子10を封止樹脂12の表面(第1の半導体装置1の上面)から露出させるためには、モールドイング封止用の金型の上金型23の形状および寸法と、回路基板3の第1の半導体素子2に対向する側の主面からフレキシブル基板4の外部接続面4bまでの高さとの関係が重要となる。以下、図15を参照しつつ、それらの関係について説明する。

## 【0041】

封止後の第1の半導体装置1の上面に、他の半導体装置などを上部接続するための電極接続面（各上部接続端子10の端面）10aを露出させるためには、適正な樹脂厚さにて封止することが必要である。ここで、この封止後の適正な封止樹脂12の厚さ（高さ）をTとする。この封止後の適正な封止樹脂12の厚さTは、図15（a）に示すように、回路基板3の第1の半導体素子2に対向する側の主面からフレキシブル基板4の外部接続面4bまでの高さに略等しい。そして、この厚さ（寸法）Tは、図15（b）に示すように、モールドイング用上金型23のキャビティ部23aの寸法Sにより決まる。このキャビティ部23aの寸法Sとは、具体的には、モールドイング用上金型23の回路基板3の露出面3aに対向する面23cから、モールドイング用上金型23のフレキシブル基板4の外部接続面4bに対向する面23bまでの高さ（深さ）を指す。本発明者らが行った実験によれば、本実施形態では、寸法Sを寸法Tに対しておおよそ $-150\mu\text{m}$ から $+150\mu\text{m}$ までの範囲に設定することにより、フレキシブル基板4の外部接続面4bをモールドイング樹脂12から露出させることができることが分かっている。

## 【0042】

なお、各上部接続端子10は、それらの外部からの圧力や熱など、様々な物理的あるいは化学的な外的作用に対して高い耐性を有する材料により形成される必要があるのは、もちろんである。例えば、各上部接続端子10は、モールドイング封止工程における圧力や熱などにより劣化するおそれがない材料により形成される必要がある。それとともに、各上部接続端子10は、第1の半導体装置1が完成した後に、大気中に晒されても酸化し難い材料により形成されることが好ましい。

## 【0043】

また、封止樹脂12の厚さTは、その材質、特性、種類、量、ならびに加えられる温度や圧力等に応じて変化する。それとともに、封止樹脂12の厚さTは、第1の半導体素子2、ベースとなる回路基板3、フレキシブル基板4、および各上部接続端子10の厚さ、大きさ、形状、材質、個数、ならびに配置状態等によっても変化する。したがって、封止樹脂12の厚さTに対する上金型23のキャビティ部23aの寸法Sは、前記各要因に応じて適宜、適正な大きさに設定する必要がある。すなわち、上金型23のキャビティ部23aの寸法Sの適正範囲は、必ずしも封止樹脂12の厚さTに対して約 $\pm 150\mu\text{m}$ 以内に限られない。キャビティ部23aの寸法Sをはじめとして、モールドイング用上金型23の形状および寸法などは、少なくとも各上部接続端子10の端面10aが封止後も封止樹脂12から露出しているように封止樹脂12を設けることができるように、前記各要因に応じて適宜、適正な大きさに設定される。

## 【0044】

このように、本実施形態では、少なくとも各上部接続端子10の端面10aを封止後に露出させて封止樹脂12を設けることができる形状に形成された封止用上金型23を用いる。そして、上金型23の表面のうちフレキシブル基板4の各上部接続端子10が設けられている領域の表面4bに対向する面23bを、少なくとも各上部接続端子10の端面10aを封止後に露出できる量の封止樹脂12を設けることができる位置に設定する。この後、フレキシブル基板4の各上部接続端子10が設けられている領域の表面4bとこの表面4bに対向する上金型23の対向面23bとの間に封止樹脂12を注入する。

## 【0045】

次に、図16に示すように、樹脂封止された複数個の第1の半導体装置1を、切断治具（ブレード）24を用いて1個ごとに切り離す。

## 【0046】

次に、図2に示すように、個々に分離された各第1の半導体装置1の各外部配線6（下部接続端子）に、はんだボール13を取り付ける。これまでの工程により、図2に示すような所望の第1の半導体装置1を得ることができる。すなわち、少なくとも1個の半導体素子2が搭載された半導体装置1において、少なくともその上面中央部に複数個の上部接続端子10が設けられており、他の半導体装置または受動部品等をそれらの種類に拘ら

ず容易に組み合わせて搭載することができる第1の半導体装置1を得ることができる。

#### 【0047】

例えば、図17および図18に示すように、第1の半導体装置1の上に、各上部接続端子10を介して汎用の規格に基づいて製造された第2の半導体装置25を搭載することができる。この第2の半導体装置25には、例えば第2の半導体素子26が搭載されている。第2の半導体素子26が有する図示しない電極（端子）の一部は、外部接続端子としての複数の下部接続端子27、はんだボール28、および第1の半導体装置1の各上部接続端子10等を介して第1の半導体素子2の電極に電氣的に接続される。また、第2の半導体素子26の電極の一部は、第1の半導体素子2の電極と電氣的に接続されることなく、各下部接続端子27、各はんだボール28、および各上部接続端子10、各下部接続端子6、はんだボール13等を介して、他の電気回路に電氣的に接続される。

#### 【0048】

以上説明したように、この第1実施形態によれば、上部に実装される他の半導体装置や他の電気部品との接続性が向上された第1の半導体装置1を効率良く、かつ、低コストで容易に製造できる。ひいては、第1の半導体装置1の上部に他の電気部品が実装された多種多様な積層型半導体装置を効率良く、かつ、低コストで容易に製造できる。具体的には、少なくとも第1の半導体装置1の上面中央部に、第1の半導体装置1の上部に第2の半導体装置25や受動部品を電氣的に接続して搭載することが可能な上部電極端子10を複数個設ける。これにより、ベースとなる第1の半導体装置1に、付加させたい機能を有する様々な部品を容易に実装することが可能となる。特に、第1の半導体装置1としてCPU（マイクロ・プロセッサ）をベースにした場合などは、それが使用される機器に応じて付加するメモリ容量やアナログ部品などが異なる、多くの製品ラインナップが必要となる。このような場合、ベースとなる第1の半導体装置1の上面中央部に設けた複数の上部接続端子10を用いて、一般に市場に流通しているメモリやDSP等の汎用電子部品等を容易に実装することができる。すなわち、目的や用途に応じて新しい装置や部品を特別に製造することなく、低価格な混載型半導体装置を容易に製造できる。

#### 【0049】

また、フレキシブル基板4に形成されている各第2の内部配線8と回路基板3に形成されている各第1の内部配線5との接続（接合）を、各第2の内部配線8をフレキシブル基板4の縁部4cごとと曲げて達成する。このような方法によれば、各内部配線5、8の接続時における衝撃を柔軟性を有する材料からなるフレキシブル基板4で吸収して、各内部配線5、8の接続を、より安定した状態で安全かつ円滑に行うことができる。すなわち、実装能力が向上された第1の半導体装置1を容易に製造できるとともに、その生産効率を向上させることができる。また、半導体素子2が封止樹脂12のみならずフレキシブル基板4によっても覆われているので、半導体素子2の保護能力がより向上されている。この結果、第1の半導体装置1はその信頼性、耐久性、品質が向上されているとともに、より安定して作動することができる。

#### 【0050】

##### （第2の実施の形態）

次に、本発明に係る第2実施形態を図19を参照しつつ説明する。図19は、本実施形態に係る半導体装置が備える第1の基板に設けられている第1の内部配線と第2の基板に設けられている第2の内部配線との接続部分を示す断面図である。なお、第1実施形態と同一部分には同一符号を付してその詳しい説明を省略する。

#### 【0051】

本実施形態は、回路基板3に設けられている各第1の内部接続配線5の接続端子5aとフレキシブル基板4に設けられている各第2の内部接続配線8の接続端子8aとの接続方法が、前述した第1実施形態と異なっているだけであり、その他は第1実施形態と同様である。以下、具体的に説明する。

#### 【0052】

図19（a）および（b）に示すように、本実施形態の第1の半導体装置31において

は、回路基板 3 に設けられている各第 1 の内部接続配線 5 の接続端子 5 a は、その表面をはんだ部 3 2 によって略全面的に覆われている。同様に、フレキシブル基板 4 に設けられている各第 2 の内部接続配線 8 の接続端子 8 a は、その表面をはんだ部 3 3 によって略全面的に覆われている。また、回路基板 3 とフレキシブル基板 4 との間には、各第 1 の内部接続配線 5 の接続端子 5 a と各第 2 の内部接続配線 8 の接続端子 8 a との接続部分を除いて接着剤 3 4 が設けられている。このような構成において、回路基板 3 とフレキシブル基板 4 とをそれらの両外側から加熱しつつ圧着する。これにより、回路基板 3 とフレキシブル基板 4 との接着、および各第 1 の内部接続配線 5 の接続端子 5 a と各第 2 の内部接続配線 8 の接続端子 8 a との電気的な接続を一括して行う。なお、図 19 (b) は、図 19 (a) 中破線の円で囲まれている部分 Y をさらに拡大して示す断面図である。

#### 【0053】

以上説明したように、この第 2 実施形態によれば、前述した第 1 実施形態と同様の効果を得ることができる。また、

#### (第 3 の実施の形態)

次に、本発明に係る第 3 実施形態を図 20 を参照しつつ説明する。図 20 は、本実施形態に係る半導体装置が備える第 1 の基板に設けられている第 1 の内部配線と第 2 の基板に設けられている第 2 の内部配線との接続部分を示す断面図。なお、第 1 実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

#### 【0054】

本実施形態は、回路基板 3 に設けられている各第 1 の内部接続配線 5 の接続端子 5 a とフレキシブル基板 4 に設けられている各第 2 の内部接続配線 8 の接続端子 8 a との接続方法が、前述した第 1 および第 2 の各実施形態と異なっているだけであり、その他は第 1 および第 2 の各実施形態と同様である。以下、具体的に説明する。

#### 【0055】

図 20 (a) および (b) に示すように、本実施形態の第 1 の半導体装置 4 1 においては、回路基板 3 に設けられている各第 1 の内部接続配線 5 の接続端子 5 a は、その表面を Au めっき部 4 2 によって略全面的に覆われている。それとともに、それら各接続端子 5 a の Au めっき部 4 2 の上には、フレキシブル基板 4 側に向かって凸形状に形成されて Au スタッドバンプ 4 3 が設けられている。また、フレキシブル基板 4 に設けられている各第 2 の内部接続配線 8 の接続端子 8 a は、その表面を Sn めっき部 4 4 によって略全面的に覆われている。さらに、回路基板 3 とフレキシブル基板 4 との間には、各第 1 の内部接続配線 5 の接続端子 5 a と各第 2 の内部接続配線 8 の接続端子 8 a との接続部分を除いて接着剤 3 4 が設けられている。このような構成において、回路基板 3 とフレキシブル基板 4 とをそれらの両外側から加熱しつつ圧着する。これにより、回路基板 3 とフレキシブル基板 4 との接着、および各第 1 の内部接続配線 5 の接続端子 5 a と各第 2 の内部接続配線 8 の接続端子 8 a との電気的な接続を一括して行う。この際、各第 1 の内部接続配線 5 の接続端子 5 a と各第 2 の内部接続配線 8 の接続端子 8 a との接続部分には、Au めっき部 4 2、Au スタッドバンプ 4 3、および Sn めっき部 4 4 からなる Au-Sn 合金部 4 5 が形成される。なお、図 20 (b) は、図 20 (a) 中破線の円で囲まれている部分 Z をさらに拡大して示す断面図である。

#### 【0056】

以上説明したように、この第 3 実施形態によれば、前述した第 1 および第 2 の各実施形態と同様の効果を得ることができる。また、

#### (第 4 の実施の形態)

次に、本発明に係る第 4 実施形態を図 21 を参照しつつ説明する。図 21 は、本実施形態に係る半導体装置を示す断面図である。なお、第 1 実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

#### 【0057】

本実施形態は、前述した第 1 ～ 第 3 の各実施形態に比べて、フレキシブル基板 4 の各上部接続端子 10 が設けられている領域（外部接続面 4 b）が広げられている点が異なっ

いるだけであり、その他は第1～第3の各実施形態と同様である。以下、具体的に説明する。

#### 【0058】

図21に示すように、本実施形態の第1の半導体装置51においては、回路基板3とフレキシブル基板4との間に、第1の半導体素子2の外側面に沿って拡張部材（スペーサ）52が設けられている。具体的には、第1の半導体素子2の外周部に、フレキシブル基板4の外部接続面4bをさらに拡大したいエリア（領域）分だけ、所定の樹脂によりリング形状に形成されたスペーサ52を設ける。そして、このスペーサ52を、フレキシブル基板4に接着する。この後は、前述した第1実施形態と同様の工程により、第1の半導体素子2およびスペーサ52に対向していないフレキシブル基板4の縁部4cを回路基板3側に向けて曲げる。そして、回路基板3とフレキシブル基板4との接着、および各第1の内部接続配線5の接続端子5aと各第2の内部接続配線8の接続端子8aとの電氣的な接続を一括して行う。この後、第1実施形態と同様の工程により、第1の半導体素子2、スペーサ52、回路基板3、およびフレキシブル基板4等をモールドイングにより封止する。これにより、前述した第1～第3の各実施形態に比べて拡大された外部接続面4bを有する第1の半導体装置51を得る。ひいては、より多数かつより配置の自由度が向上された複数個の上部接続端子10を有する第1の半導体装置51を得る。

#### 【0059】

以上説明したように、この第4実施形態によれば、前述した第1～第3の各実施形態と同様の効果を得ることができる。また、第1～第3の各実施形態では、第1の半導体装置1、31、41に搭載される第1の半導体素子2の大きさのみを利用して外部接続面4bを確保していた。そして、第1の半導体素子2の主面の大きさと略等しいエリア（領域）内のみ、複数個の上部接続端子10を設けていた。近年、半導体素子の更なるコンパクト化が進む中、そのような構成では必要十分な数の上部接続端子10を設けることが困難になるおそれがある。これに対して、本実施形態においては、適正な数の上部接続端子10を適正な間隔および形状で配置できる大きさおよび形状からなるスペーサ52を第1の半導体素子2の周囲に設ける。これにより、第1の半導体素子2がさらにコンパクト化されても、適正かつ必要十分な大きさの外部接続面4bを確保できるとともに、適正かつ必要十分な数の上部接続端子10を外部接続面4b上に設けることができる。すなわち、本実施形態によれば、前述した問題を解決することができる。

#### 【0060】

##### （第5の実施の形態）

次に、本発明に係る第5実施形態を図22を参照しつつ説明する。図22は、本実施形態に係る半導体装置を示す断面図である。なお、第1実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

#### 【0061】

本実施形態においては、前述した第1～第4の各実施形態と異なり、モールドイング封止が行われていない。その他は第1～第4の各実施形態と同様である。以下、具体的に説明する。

#### 【0062】

図22に示すように、本実施形態の第1の半導体装置61においては、第1の半導体素子2、回路基板3、およびフレキシブル基板4の周りに、それらを保護するための封止樹脂が設けられていない。回路基板3およびフレキシブル基板4自体が、それらの外部からの衝撃や熱など、様々な物理的あるいは化学的な外的作用に対して高い耐性を有するとともに、第1の半導体素子2を保護できる材料により形成されていれば、本実施形態のように封止樹脂を設ける必要はない。

#### 【0063】

以上説明したように、この第5実施形態によれば、前述した第1～第4の各実施形態と同様の効果を得ることができる。また、モールドイング封止を行う必要がないので、より低コストかつ歩留まりが高い第1の半導体装置61を容易に製造することができる。

**【0064】**

(第6の実施の形態)

次に、本発明に係る第6実施形態を図23を参照しつつ説明する。図23は、本実施形態に係る半導体装置をその第2の基板側から臨んで示す平面図である。なお、第1実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

**【0065】**

本実施形態においては、前述した第1～第5の各実施形態と異なり、フレキシブル基板4に、前述した各上部接続端子10とは異なる所定の用途に使われる外部配線が設けられている。その他は第1～第5の各実施形態と同様である。以下、具体的に説明する。

**【0066】**

図23に示すように、本実施形態の第1の半導体装置71においては、フレキシブル基板4の外部接続面4b上に、前述した各上部接続端子10とは異なる所定の用途に使われる外部配線(上部配線)72が複数本設けられている。具体的には、外部接続面4bの各上部接続端子10が設けられていない領域上に、各上部接続端子10としてのBGA搭載パターンその他に、受動部品実装パターン72a、回路ショートパターン72b、および回路切断パターン72c等が設けられている。

**【0067】**

以上説明したように、この第6実施形態によれば、前述した第1～第5の各実施形態と同様の効果を得ることができる。また、フレキシブル基板4の外部接続面4b上に、受動部品実装パターン72a、回路ショートパターン72b、および回路切断パターン72c等を設けることにより、第1の半導体装置71と組み合わせることができる他の電気部品のバリエーションが豊かになる。それとともに、上部配線72の種類や配線パターンを工夫することにより、第1の半導体装置71自体のバリエーションも豊かにすることができる。これにより、目的や用途に応じて新しい装置や部品を特別に製造することなく、より低価格な混載型半導体装置を、より容易に製造できる。

**【0068】**

なお、本発明に係る半導体装置は、前述した第1～第6の各実施形態には制約されない。本発明の趣旨を逸脱しない範囲で、それらの構成、あるいは製造工程などの一部を種々様々な設定に変更したり、あるいは各種設定を適宜、適当に組み合わせて用いたりして実施することができる。

**【0069】**

例えば、前述した第1実施形態においては、第1の半導体装置1や第2の半導体装置25に半導体素子2、26をそれぞれ1個ずつ搭載したが、これには限定されない。所望する半導体装置の仕様に応じて、第1の半導体装置1や第2の半導体装置25に搭載する各半導体素子2、26の数を適宜、適正な個数に設定することができる。この際、各半導体装置1、25内に、各半導体素子2、26を積層して設けても構わないし、あるいは各半導体素子2、26を各回路基板3の主面に沿って並べて設けても構わない。各半導体素子2、26の配置も、所望する半導体装置の仕様に応じて適宜、適正な位置に設定することができる。それとともに、第1の半導体装置1や第2の半導体装置25に搭載する半導体素子2、26の種類も、それぞれの半導体装置1、25内において同一の種類には限定されない。所望する半導体装置の仕様に応じて、各半導体装置1、25内に様々な種類の半導体素子2、26を混載して構わない。

**【0070】**

また、モールディング封止を行う際に、上金型23の回路基板3およびフレキシブル基板4のそれぞれに対向する面23b、23cに所定のフィルムを吸着させてモールディング封止を行う、いわゆるシートモールド法を行っても構わない。このシートモールド法によれば、シートのクッション性の効果により、各上部接続端子10をより確実に露出させることができる。

**【0071】**

また、第1の基板としての回路基板3も、フレキシブル基板4と同様に、ガラスエポキ



シ基材やBTレジン基材からなる基板、あるいはポリイミド基材からなるフレキシブル基板等で作製することが可能である。そして、回路基板3およびフレキシブル基板4を、ともにフィルム状あるいはテープ状に形成しても構わない。このような構成によれば、半導体装置1を極めて薄肉に作製して、半導体装置1をより様々な場所に取り付けることができる。すなわち、半導体装置1の高い積層性（実装性）を殆ど犠牲にすること無く、半導体装置1の軽量化、コンパクト化、および省スペース化を極めて向上させることができる。この結果、半導体装置1の汎用性を極めて向上させることができる。

#### 【0072】

さらに、第4実施形態において設けたスペーサ52は、前述したリング形状には限られない。必要とされる外部接続面4bの形状および大きさに応じて、スペーサ52を適宜、適正な形状および大きさに設定して構わない。たとえば、スペーサ52は第1の半導体素子2の外周部を全周に渡って囲むように設ける必要はない。必要とされる外部接続面4bの形状および大きさに応じて、第1の半導体素子2の外周部の少なくとも一部を囲む形状および大きさに形成して設ければよい。それとともに、スペーサ52の形成材料も、前述した樹脂には限られない。スペーサ52を金属等により形成して構わないのはもちろんである。

#### 【図面の簡単な説明】

#### 【0073】

【図1】 第1実施形態に係る半導体装置をその第2の基板側から臨んで示す平面図。

【図2】 図1に示す半導体装置を破断線A-A'に沿って示す断面図。

【図3】 図1に示す半導体装置が備える第2の基板をその半導体素子が搭載される側の主面から臨んで示す平面図。

【図4】 図1に示す半導体装置が備える第2の基板をその外部端子が形成されている側の主面から臨んで示す平面図。

【図5】 図3に示す第2の基板を破断線B-B'に沿って示す断面図。

【図6】 半導体素子が搭載された第2の基板をその半導体素子が搭載された側の主面から臨んで示す平面図。

【図7】 図6に示す半導体素子および第2の基板を破断線C-C'に沿って示す断面図。

【図8】 図6に示す半導体素子および第2の基板に接着剤を設けた状態を示す断面図。

【図9】 図1に示す半導体装置が備える第1の基板を示す断面図。

【図10】 半導体素子が搭載された第2の基板が取り付けられた第1の基板をその半導体素子および第2の基板が取り付けられた側の主面から臨んで示す平面図。

【図11】 図10に示す第1の基板、第2の基板、および半導体素子を破断線D-D'に沿って示す断面図。

【図12】 半導体素子が搭載された第2の基板を第1の基板に取り付ける工程を示す断面図。

【図13】 第1の基板に設けられている第1の内部配線と第2の基板に設けられている第2の内部配線との接続部分を示す断面図。

【図14】 複数の第1の基板、第2の基板、および半導体素子を一括して封止する工程を示す断面図。

【図15】 図14に示す封止工程に用いる上金型のキャビティ形状と第1の基板上の封止部材を設ける高さとの関係を示す図である。

【図16】 一括して封止された複数の第1の基板、第2の基板、および半導体素子を1個の半導体装置ごと一括して切り分ける工程を示す断面図。

【図17】 図1に示す半導体装置の上に他の半導体装置を接続して搭載した状態をその上方から臨んで示す平面図。

【図18】 図17に示す2個の半導体装置を破断線E-E'に沿って簡略して示す断面図。

【図 19】第 2 実施形態に係る半導体装置が備える第 1 の基板に設けられている第 1 の内部配線と第 2 の基板に設けられている第 2 の内部配線との接続部分を示す断面図。

【図 20】第 3 実施形態に係る半導体装置が備える第 1 の基板に設けられている第 1 の内部配線と第 2 の基板に設けられている第 2 の内部配線との接続部分を示す断面図。

【図 21】第 4 実施形態に係る半導体装置を示す断面図

【図 22】第 5 実施形態に係る半導体装置を示す断面図

【図 23】第 6 実施形態に係る半導体装置をその第 2 の基板側から臨んで示す平面図。

【図 24】第 1 実施形態に対する比較例としての背景技術に係る半導体装置を示す断面図。

【図 25】図 24 に示す半導体装置をその半導体素子が搭載されている側の主面から臨んで示す平面図。

【図 26】図 24 に示す半導体装置の上に他の半導体装置を搭載した状態を示す断面図。

【図 27】背景技術に係る一般的なメモリ用半導体装置を示す断面図。

【図 28】図 27 に示すメモリ用半導体装置をその外部端子が形成されている側の主面から臨んで示す平面図。

【図 29】図 24 に示す半導体装置に搭載可能な外部端子を有するメモリ用半導体装置を示す断面図。

【図 30】図 29 に示すメモリ用半導体装置をその外部端子が形成されている側の主面から臨んで示す平面図。

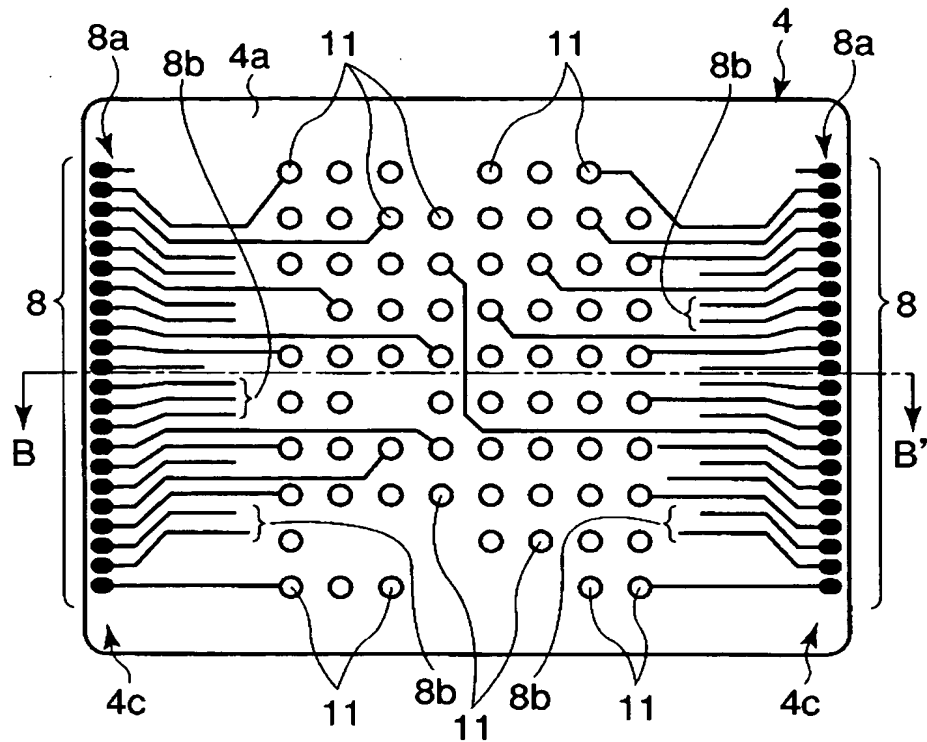
【符号の説明】

【0074】

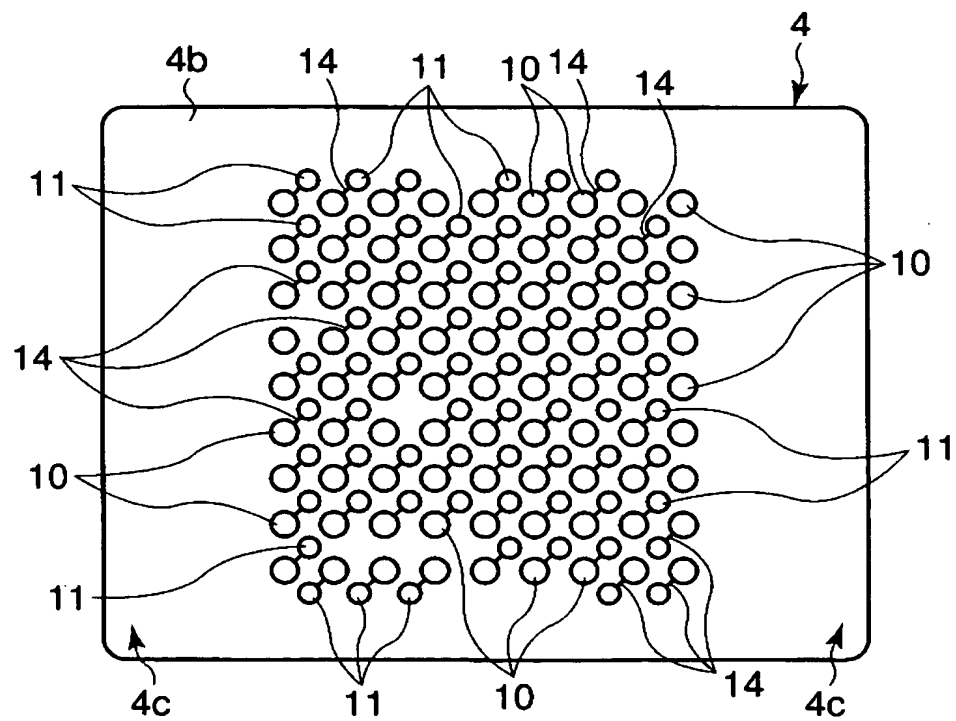
1, 31, 41, 51, 61, 71…半導体装置、2…半導体チップ（半導体素子）、3…回路基板（第 1 の基板）、3a…回路基板の露出面（第 1 の基板の第 2 の基板に対向する側の主面のうち第 2 の基板から外れた露出面）、4…フレキシブル基板（第 2 の基板）、4a…フレキシブル基板のチップ接続面（第 2 の基板の半導体素子に対向する側の主面）、4b…フレキシブル基板の外部接続面（第 2 の基板の他の主面）、4c…フレキシブル基板の縁部（第 2 の基板の縁部）、5…第 1 の内部配線、6…外部配線、7…スループラグ（ヴィアプラグ、第 1 のプラグ）、8…第 2 の内部配線、8a…第 2 の内部配線の内部接続端子（第 2 の内部配線の一端部）、9…Au スタッドバンプ（半導体素子が有する電極）、10…上部接続端子（外部端子）、10a…上部接続端子の端面（電極接続面、外部端子の端面）、11…スループラグ（ヴィアプラグ、第 2 のプラグ）、12…封止樹脂（封止部材）、23…モールドイング用金型の上金型（モールドイング用の金型）



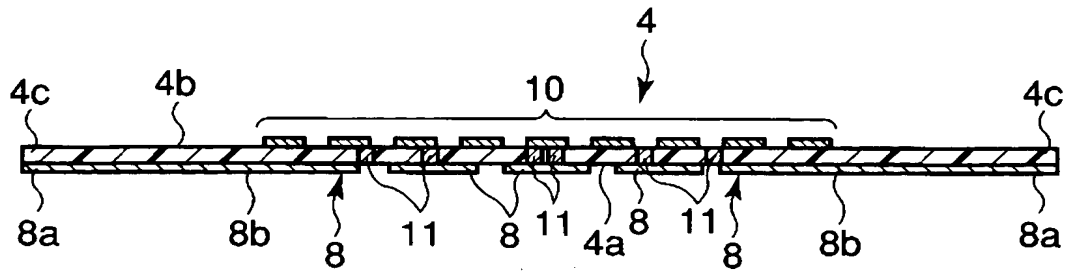
【図 3】



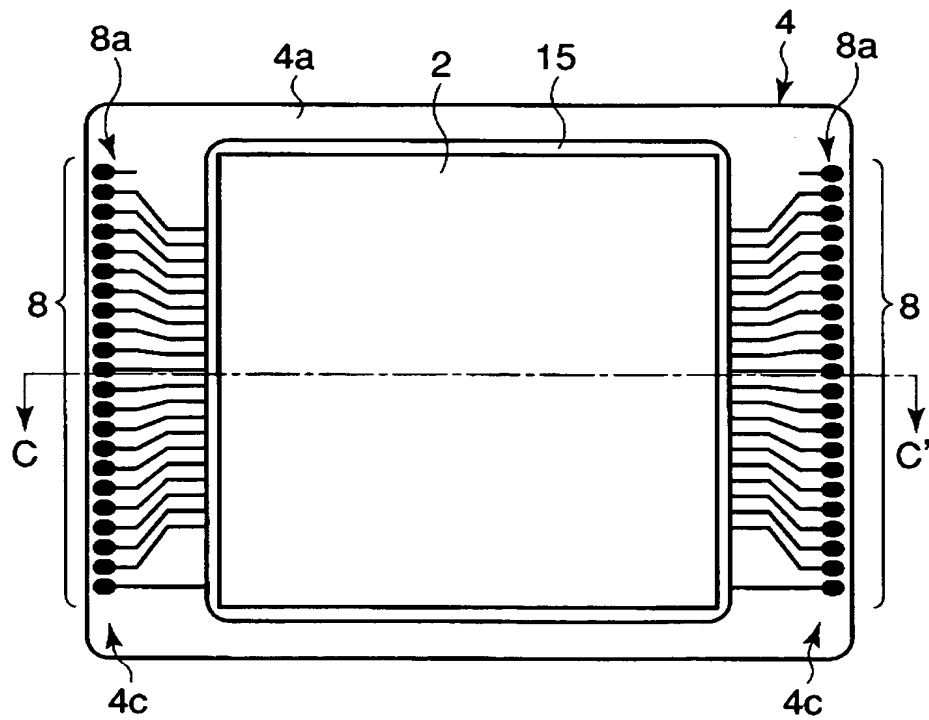
【図 4】



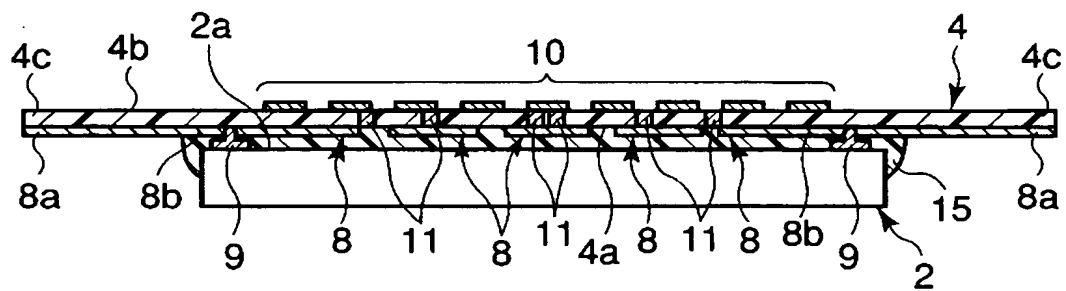
【図 5】



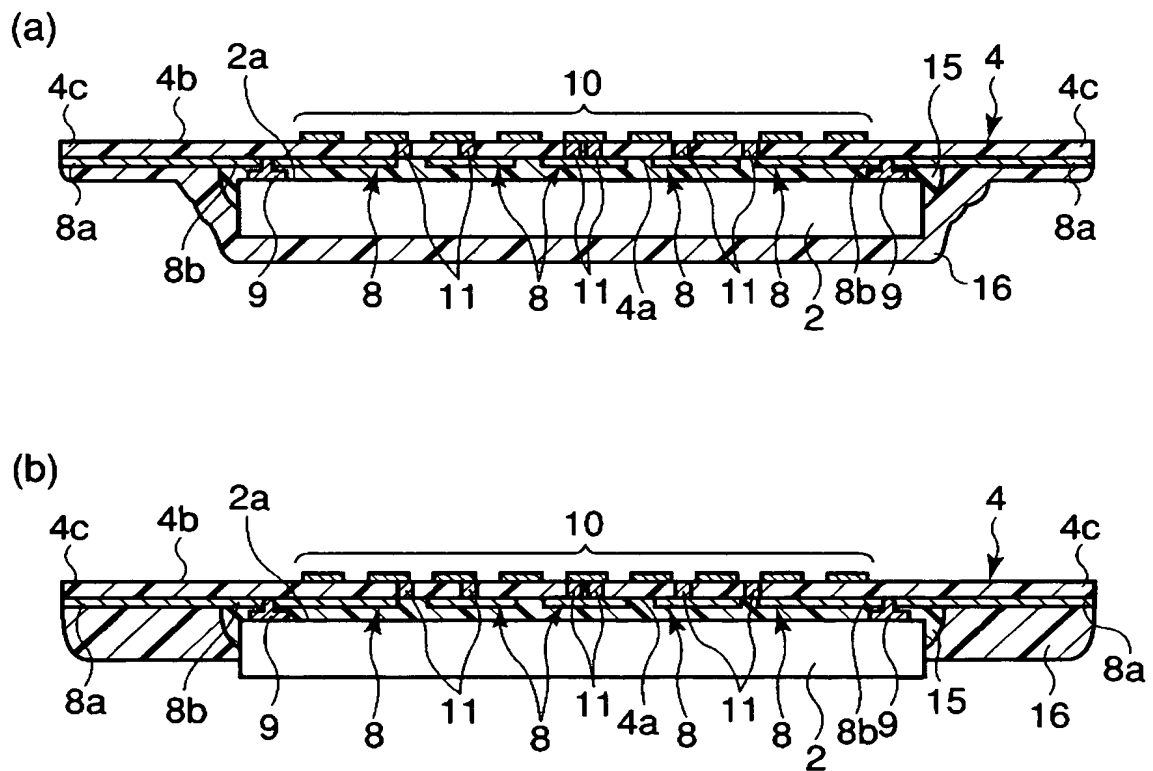
【図 6】



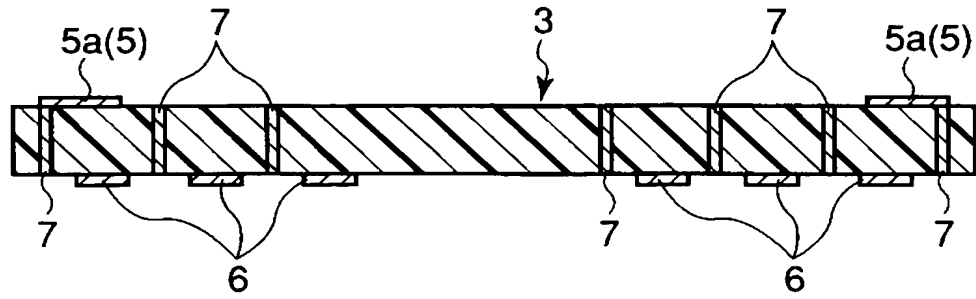
【図 7】



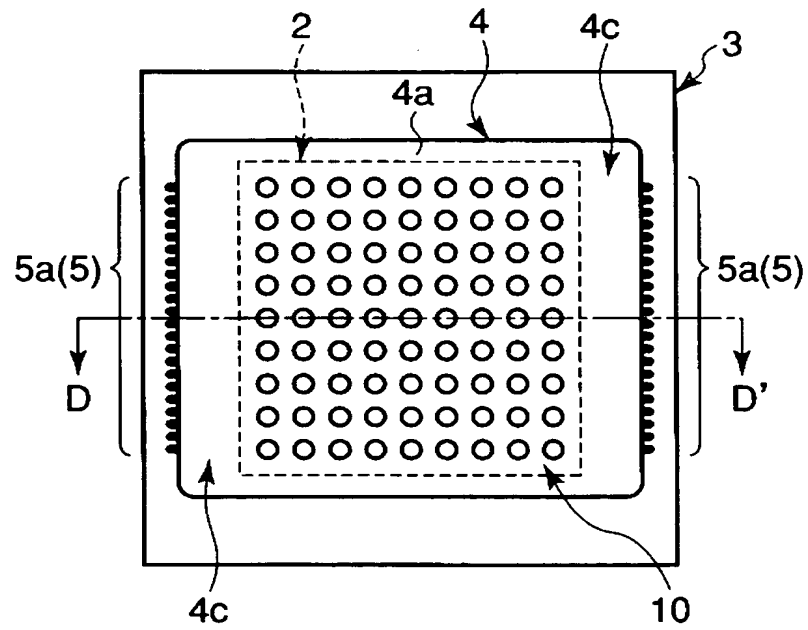
【圖 8】



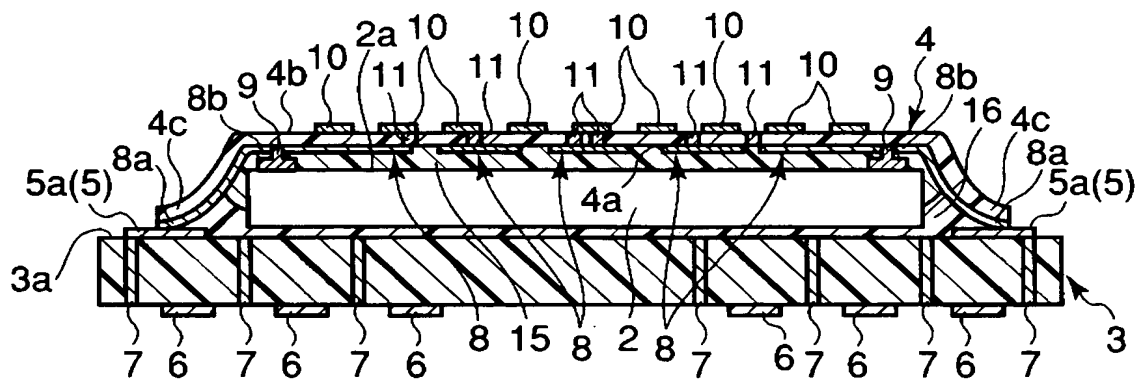
【図 9】



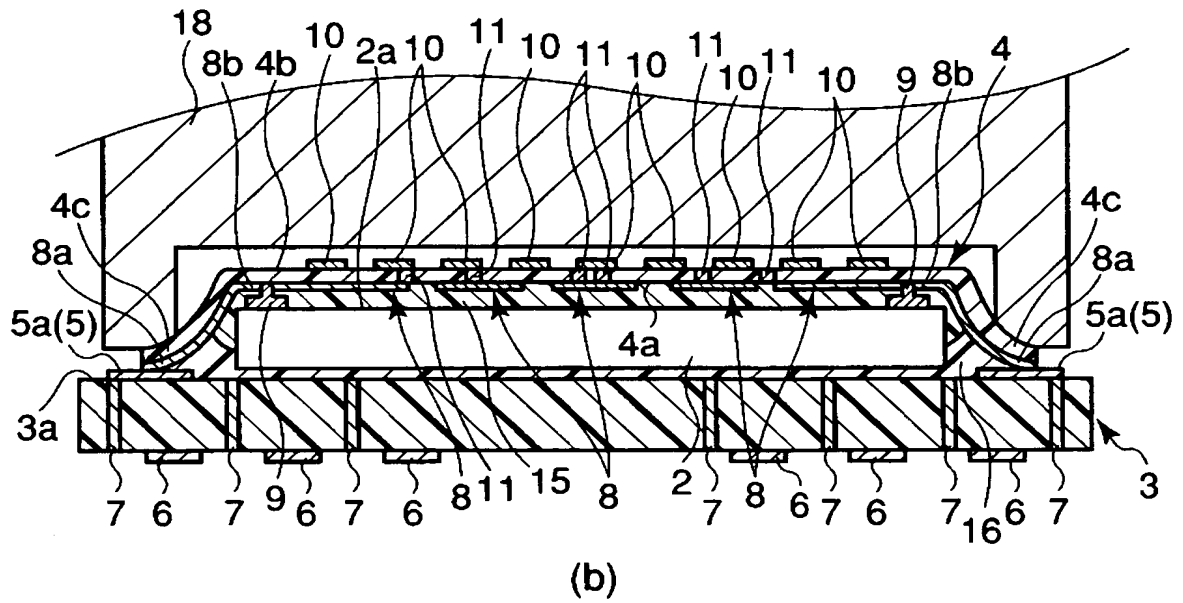
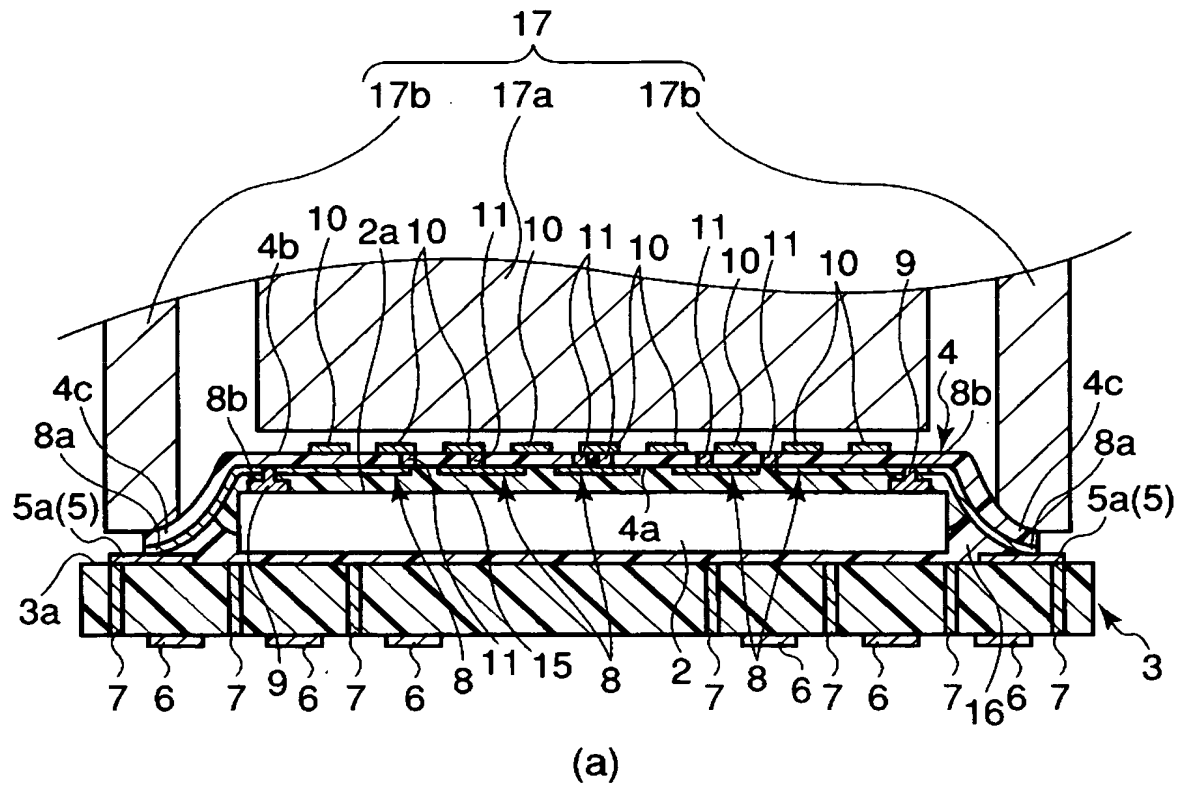
【図 10】



【図 11】

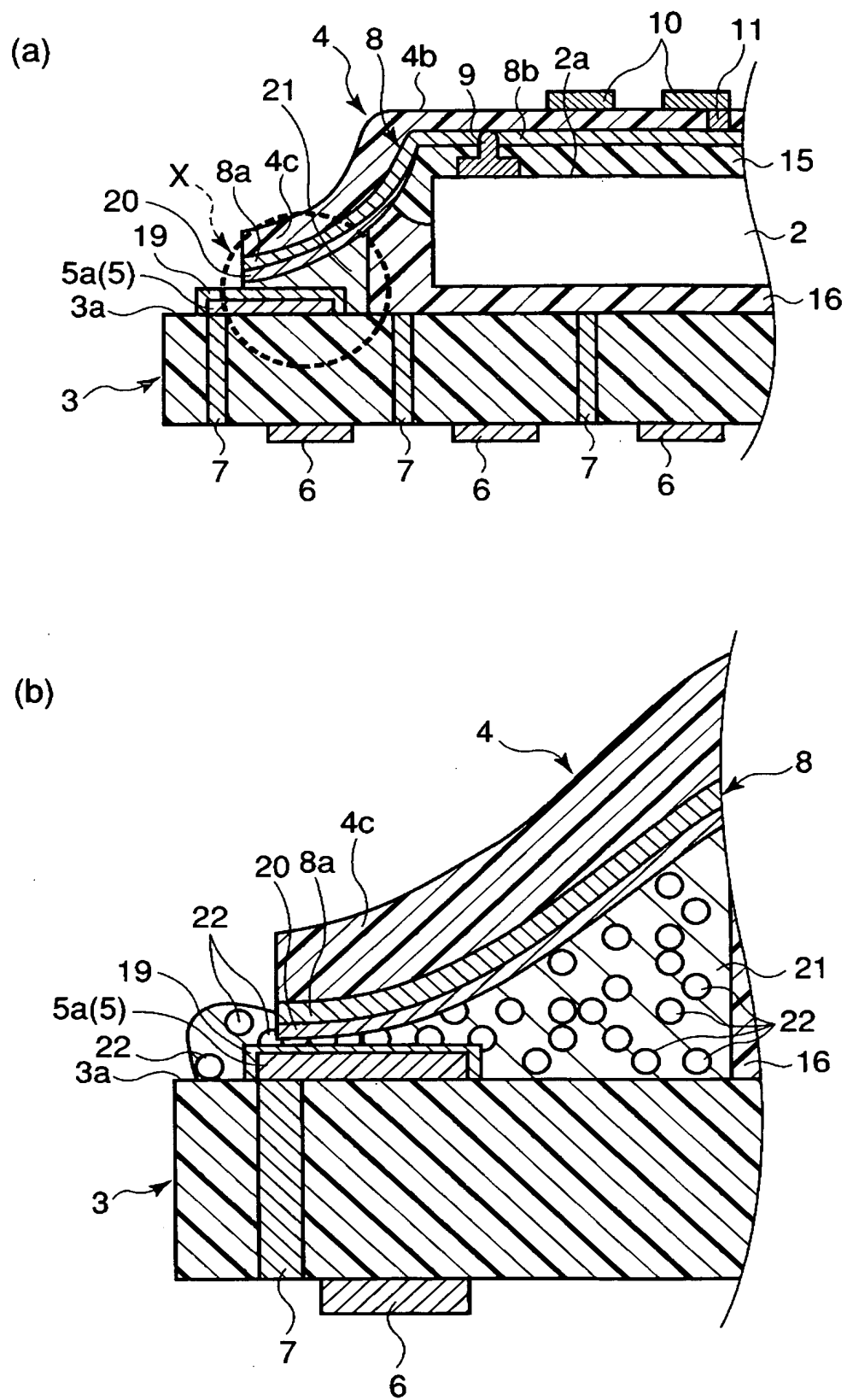


【図 12】

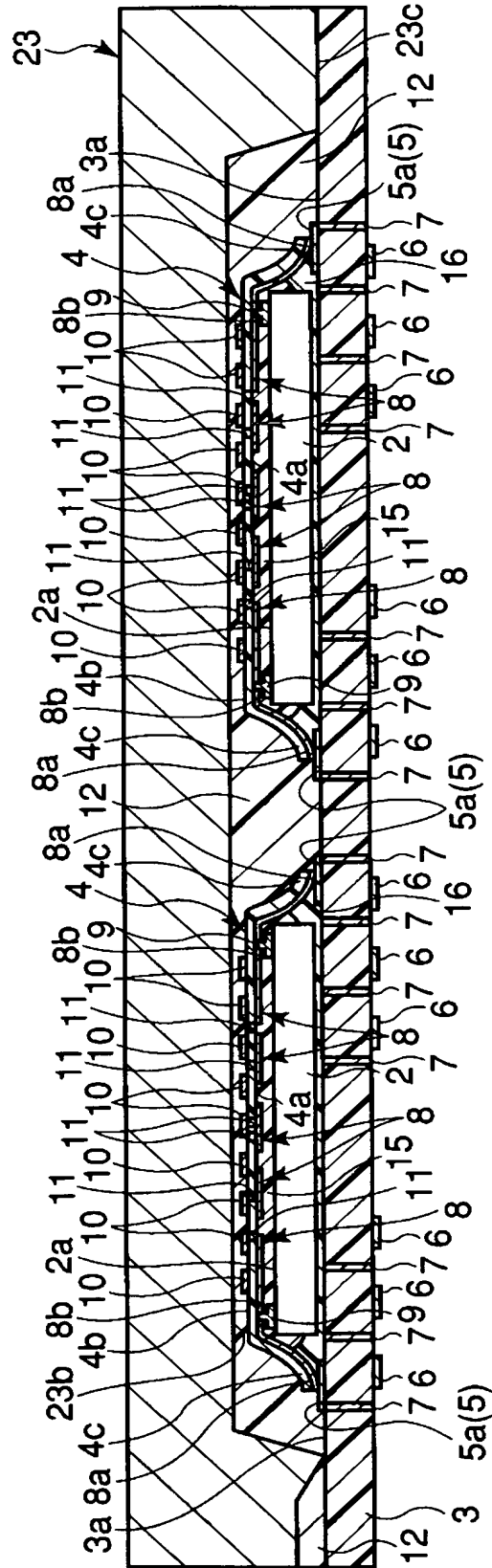




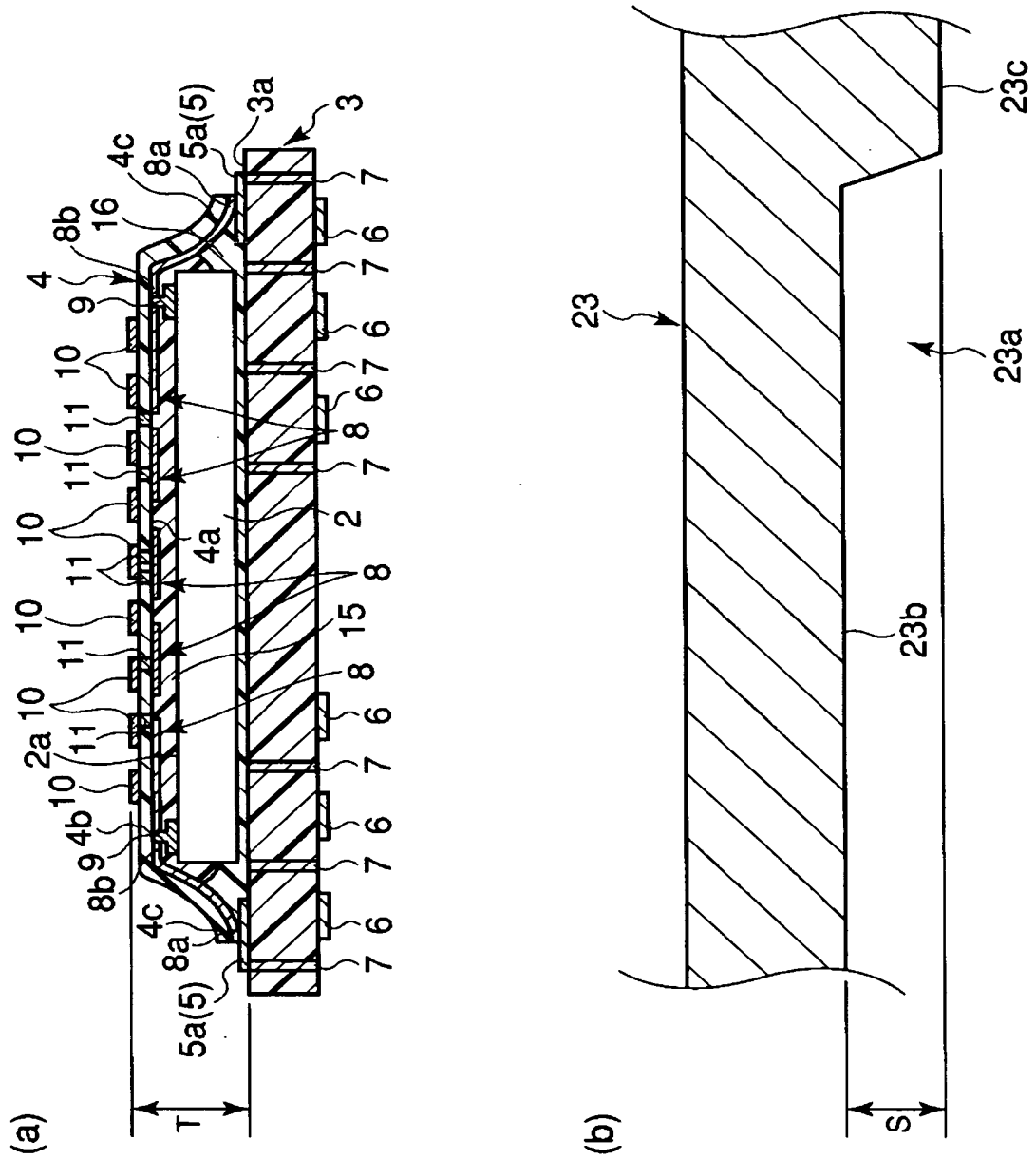
【図 13】



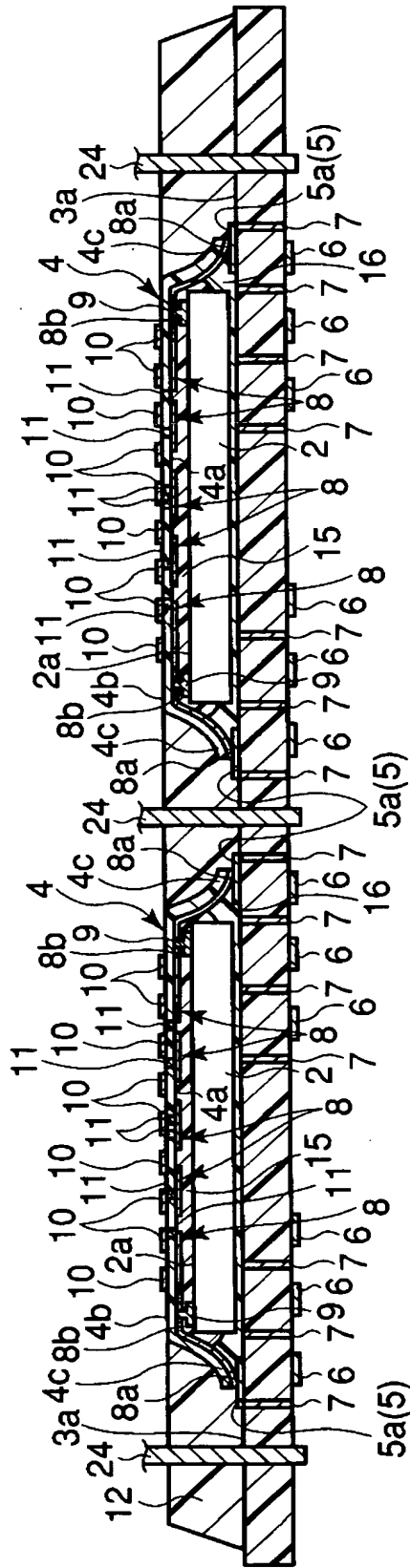
【図 14】



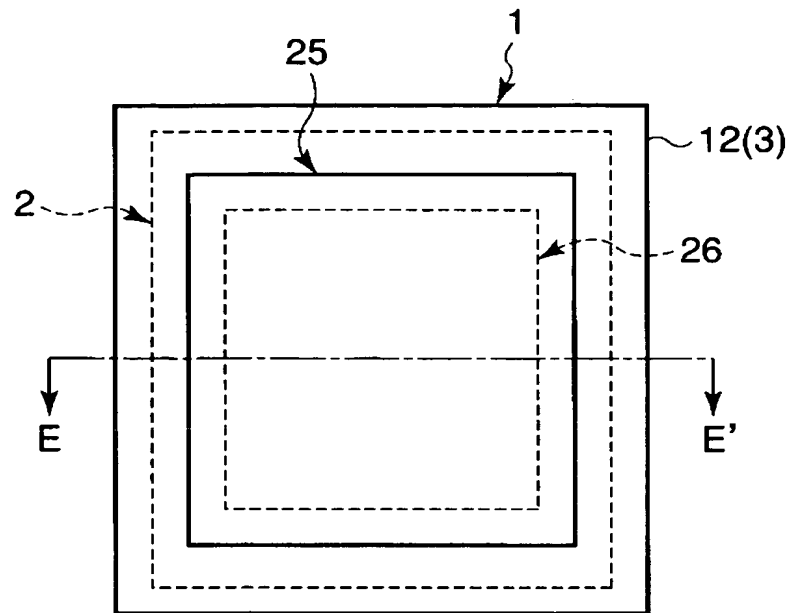
【図 15】



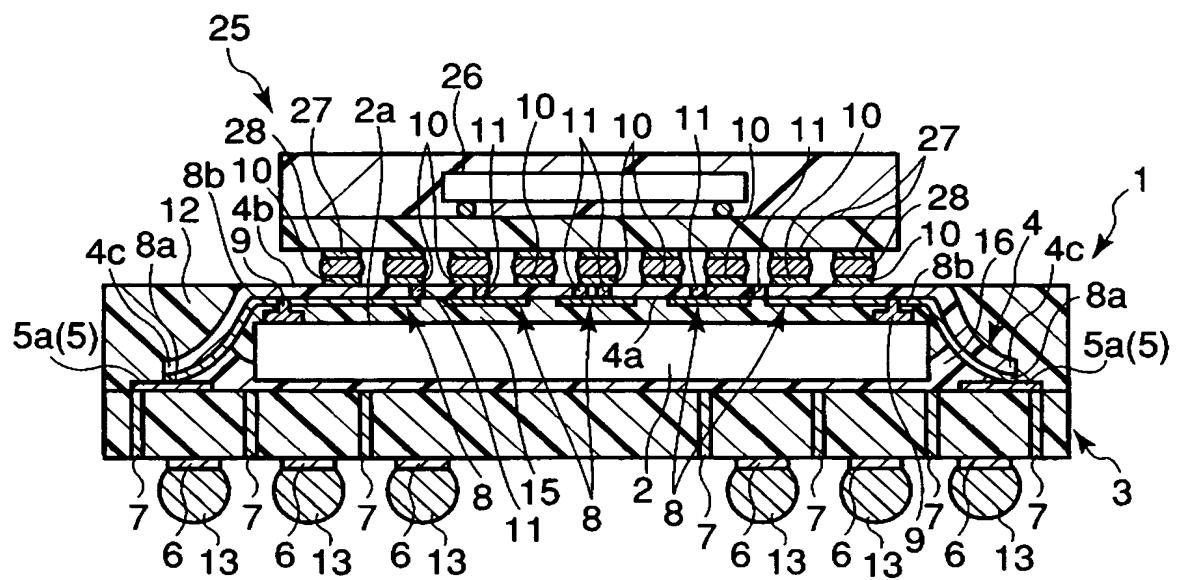
【図 16】



【図 17】

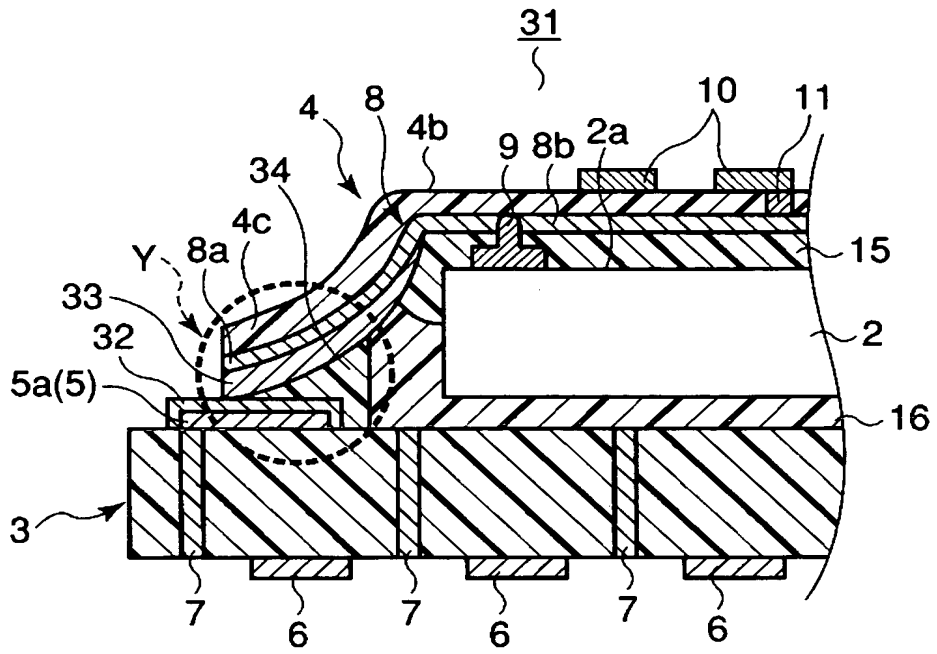


【図 18】

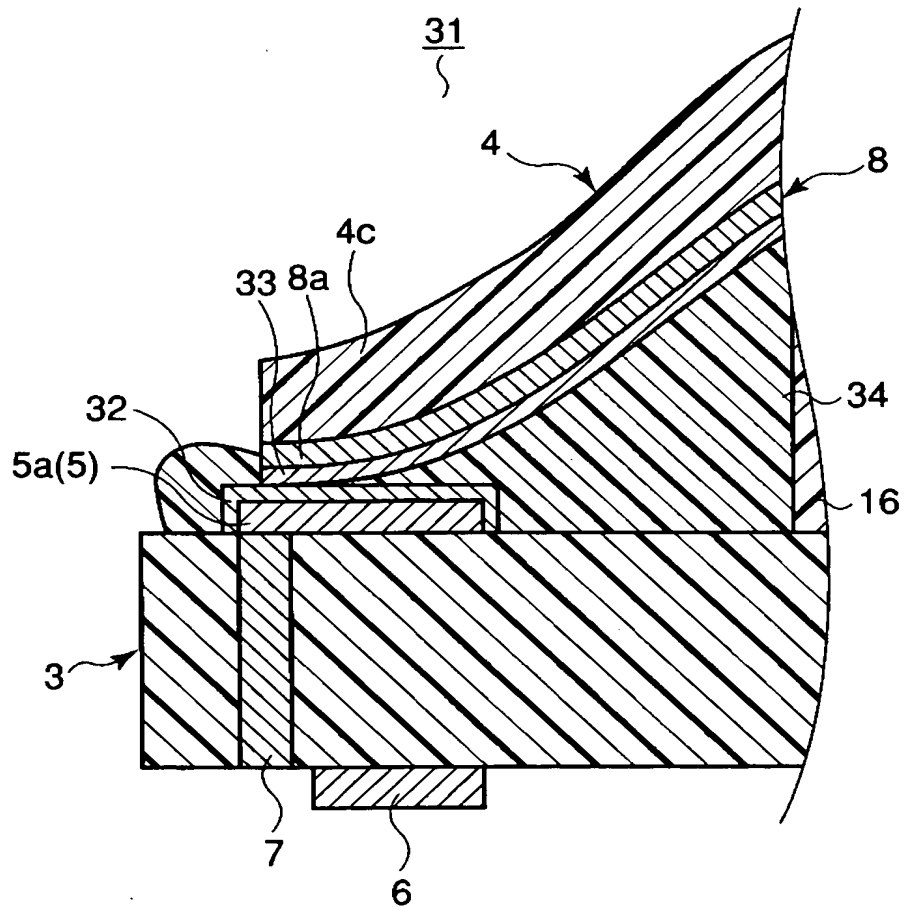


【図 19】

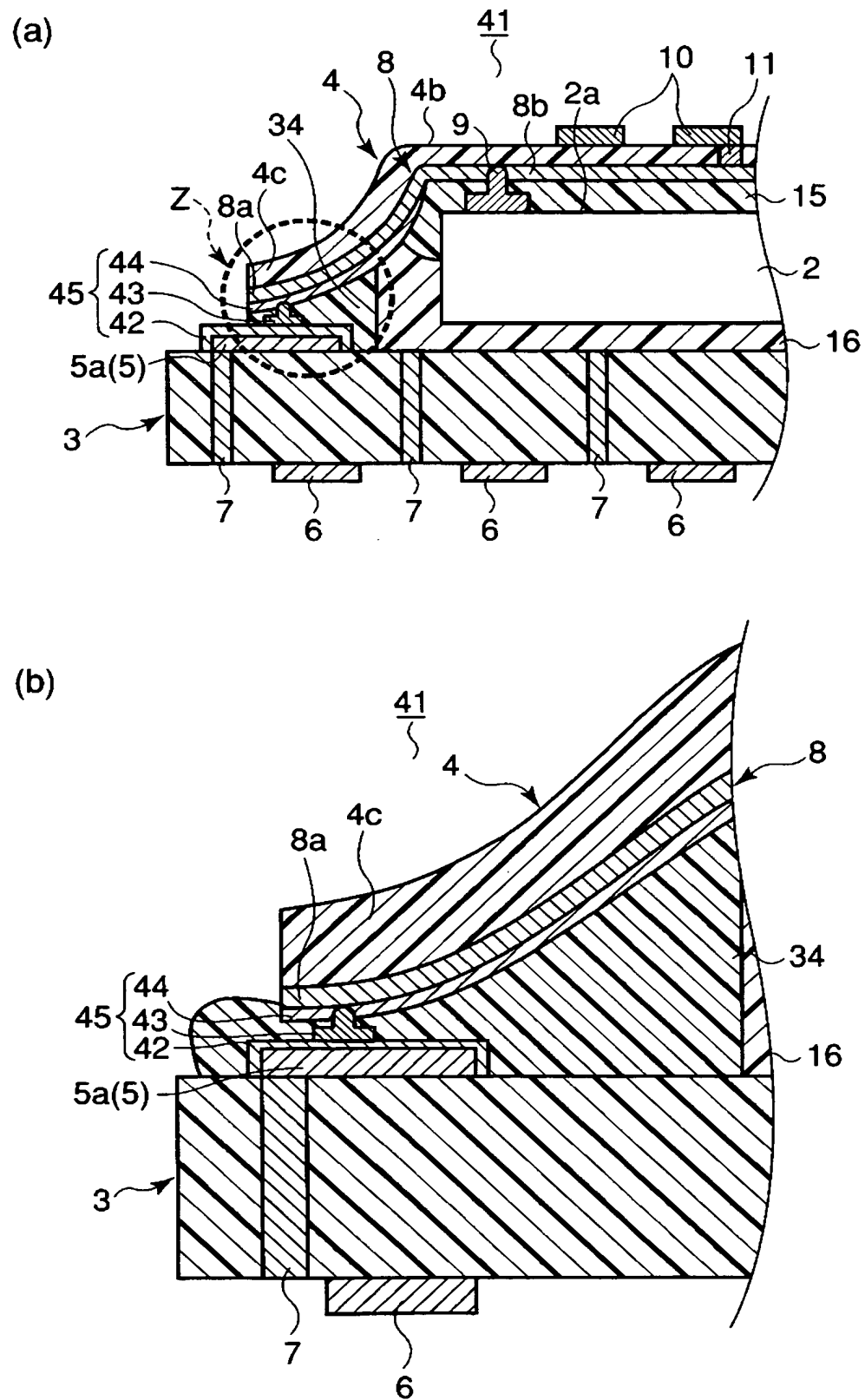
(a)



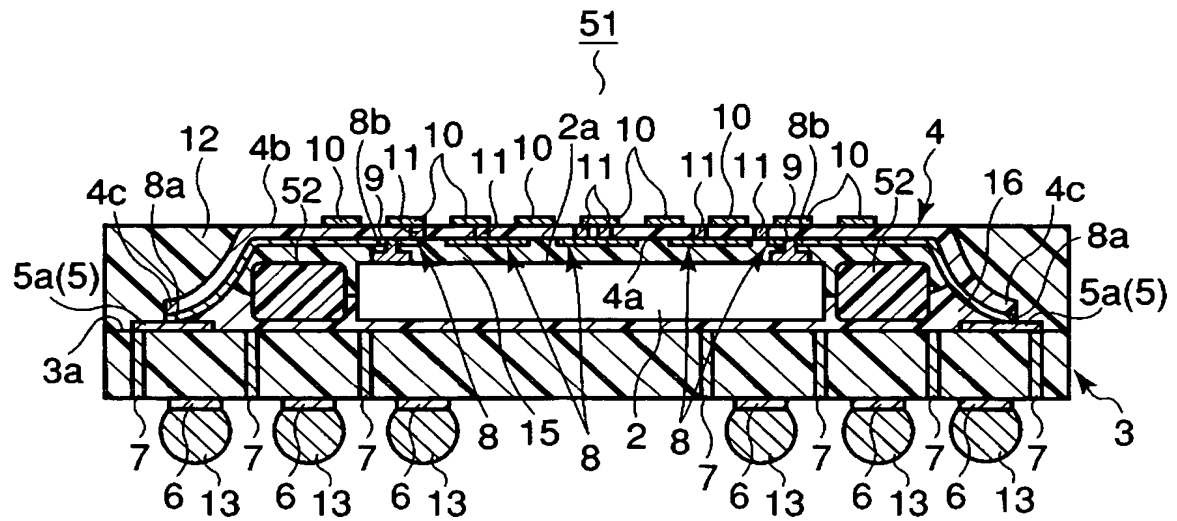
(b)



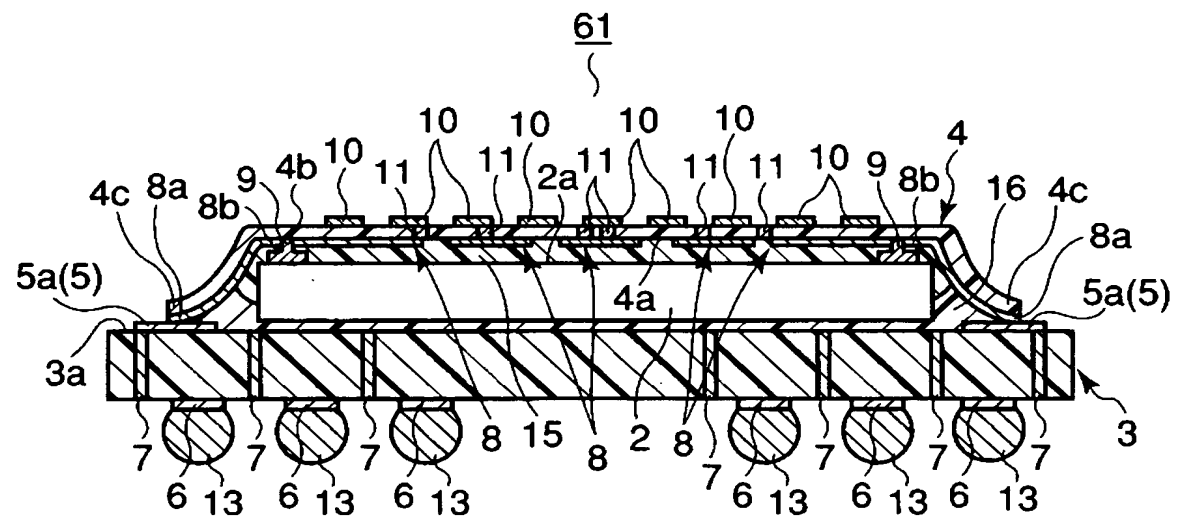
【図 20】



【図 2 1】

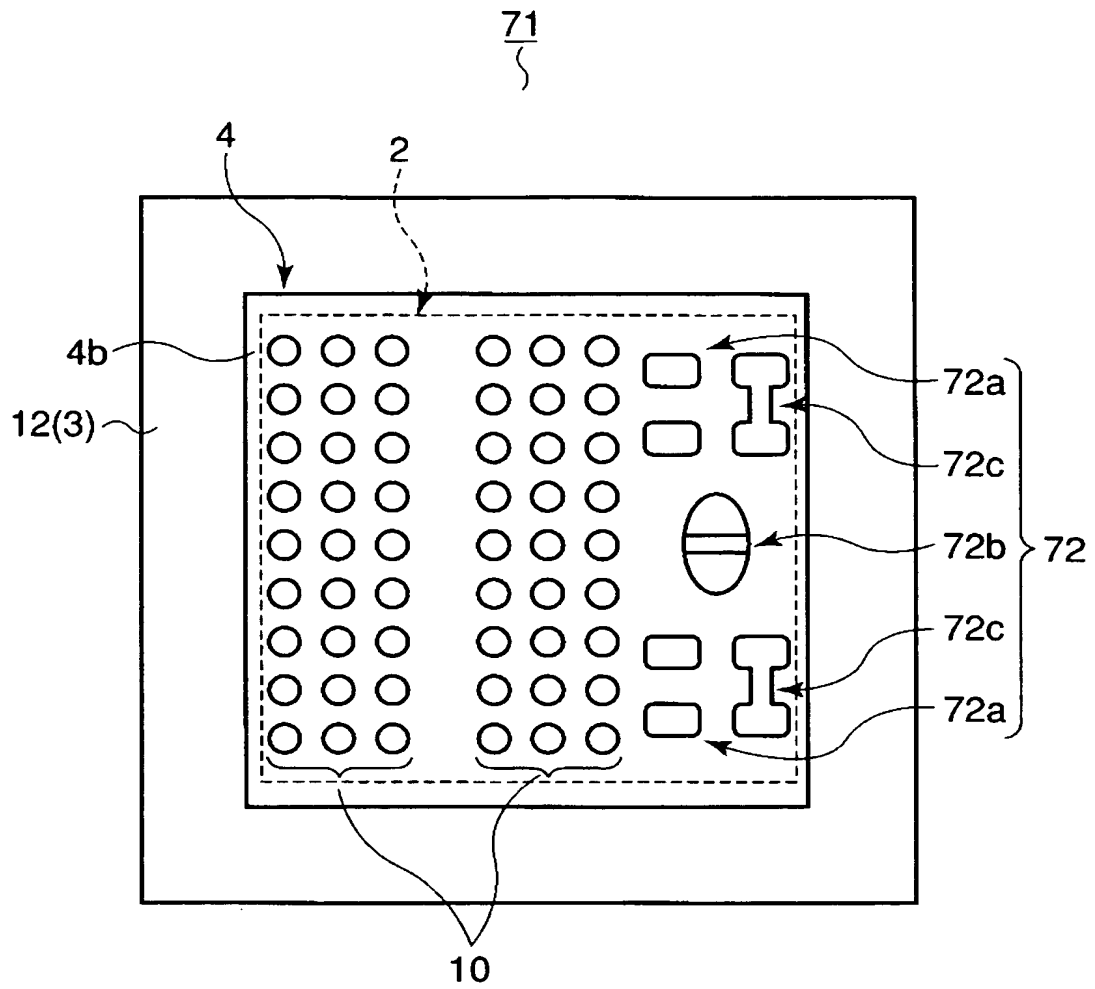


【圖 2 2】

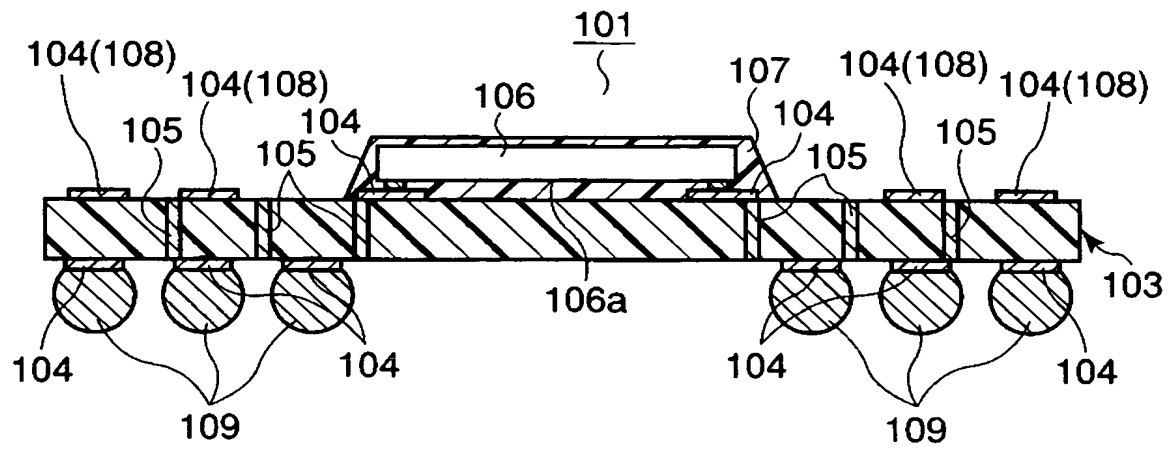




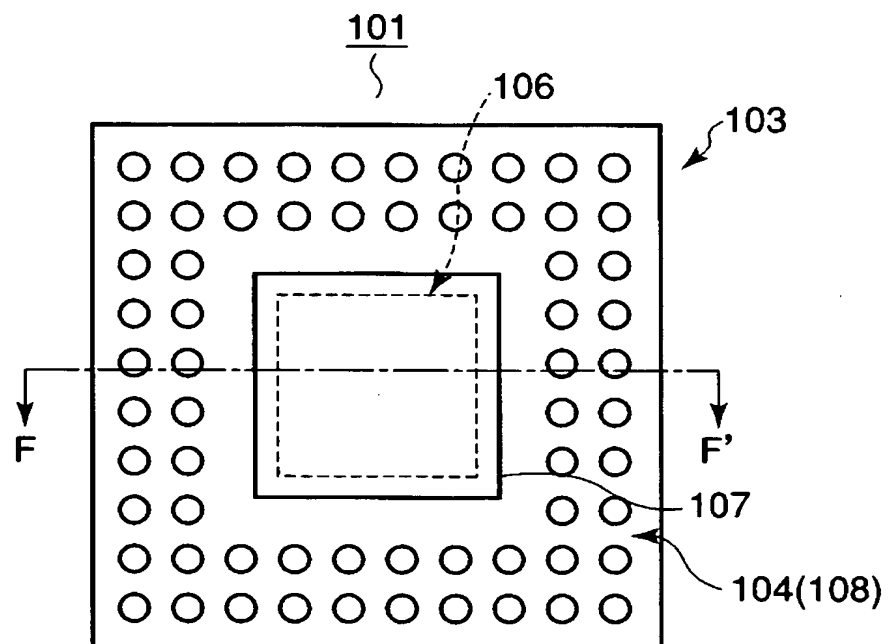
【図 23】



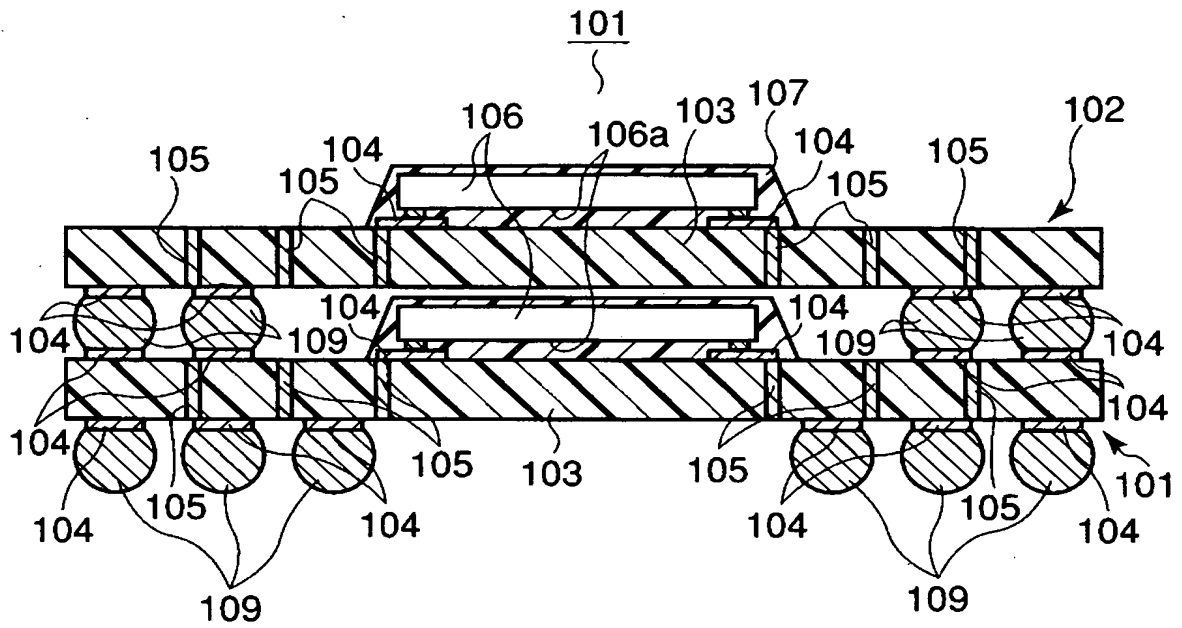
【図 2 4】



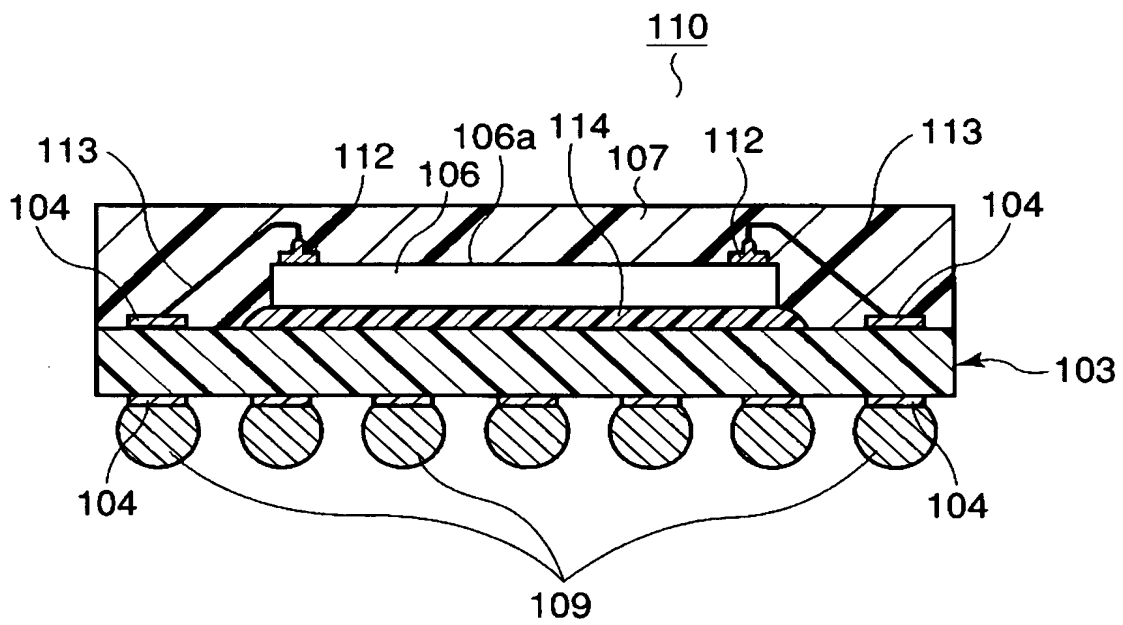
【図 2 5】



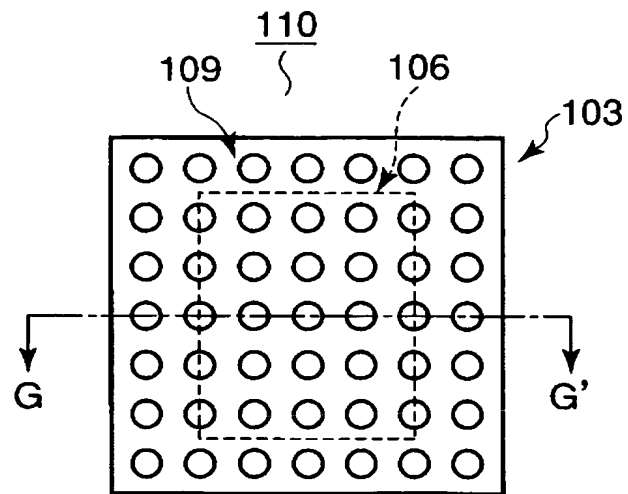
【図 26】



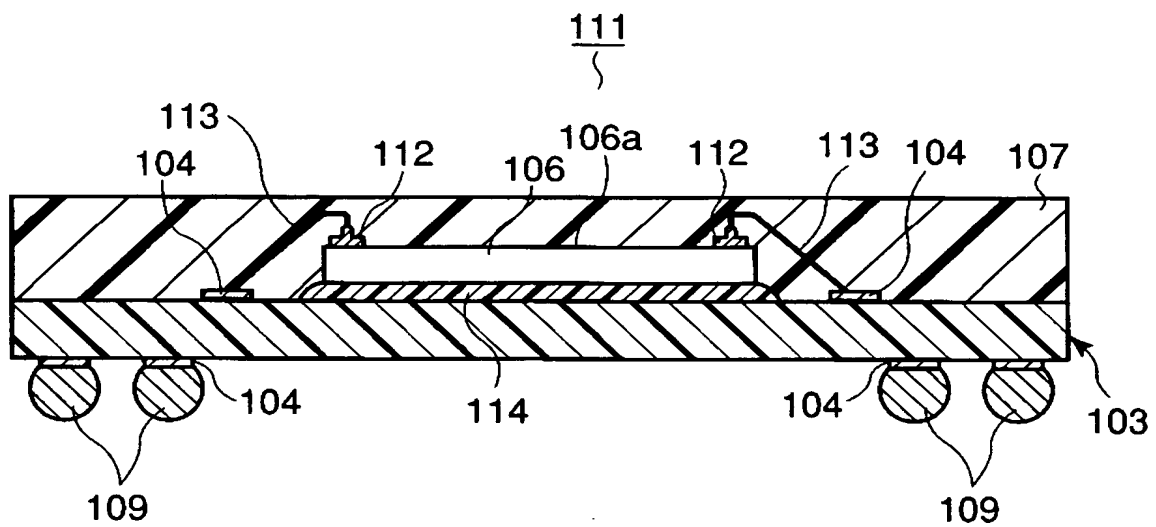
【図 27】



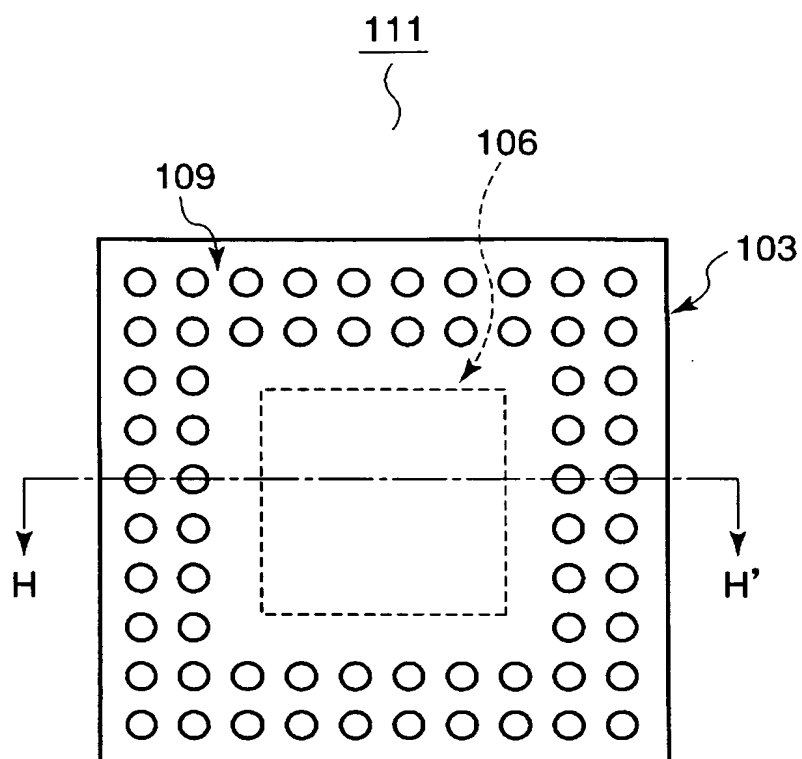
【图 28】



【図 29】



【図 30】



**【書類名】 要約書****【要約】**

**【課題】** 上部に実装される他の電気部品等との接続性を向上させることにより、多種多様な半導体装置を効率良く、かつ、低コストで容易に製造できる半導体装置を提供する。

**【解決手段】** 半導体素子 2 の両主面に対向して、第 1 の基板 3 および第 2 の基板 4 を配置する。基板 3 の素子 2 に対向する側の主面に複数本の第 1 の内部配線 5 を、他方の主面に各配線 5 と接続して複数本の外部配線 6 をそれぞれ設ける。基板 4 を可撓性を有する材料で素子 2 よりも大きく形成する。基板 4 の素子 2 に対向する側の主面 4 a に、複数本の第 2 の内部配線 8 を設けるとともに、各配線 8 の幾つかに素子 2 の電極 9 を接続して素子 2 を搭載する。基板 4 の他方の主面 4 b の少なくとも中央部に、各配線 8 の幾つかに接続して複数の外部端子 10 を設ける。各配線 8 の一端部 8 a を、基板 4 の主面 4 a の縁部 4 c まで延ばすとともに、縁部 4 c ごと基板 3 側に曲げて各配線 5 に接続する。

**【選択図】** 図 2

特願 2 0 0 4 - 0 0 6 7 8 7

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝